
10-разрядный маломощный высокоскоростной АЦП с частотой выборки до 130 Мвыб/сек

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- TSMC КМОП LP 65 нм
- Разрядность 10 бит
- Использование отдельных шин питания: 1,2 В для цифровой и 1,2 В для аналоговой частей схемы АЦП
- Частота выборки до 130 Мвыб/с
- Режим ожидания (потребление тока 10 мкА)
- Низкая рассеиваемая мощность:
 - 34 мВт при 130 Мвыб/с
 - 25 мВт при 80 Мвыб/с
 - 21 мВт при 50 Мвыб/с
- Полный размах дифференциального входного напряжения 1,2 В
- Полоса пропускания:
 - 260 МГц при 130 Мвыб/с
 - 160 МГц при 80 Мвыб/с
 - 100 МГц при 50 Мвыб/с
- Реальный динамический диапазон:
 - 68 дБ при 130 Мвыб/с и $f_{in} = 8,125$ МГц
 - 69 дБ при 80 Мвыб/с и $f_{in} = 5$ МГц
 - 69 дБ при 50 Мвыб/с и $f_{in} = 3,125$ МГц
- Отношение сигнал/шум:
 - 60 дБ при 130 Мвыб/с и $f_{in} = 8,125$ МГц
 - 60 дБ при 80 Мвыб/с и $f_{in} = 5$ МГц
 - 60 дБ при 50 Мвыб/с и $f_{in} = 3,125$ МГц
- Дифференциальная нелинейность 0,5 МЗР
- Интегральная нелинейность 1 МЗР
- Малая занимаемая площадь
- Возможно портирование в другие технологии (по запросу)

2 СФЕРА ПРИМЕНЕНИЯ

- WiFi, WiMax
- Мобильная связь
- Высококачественные системы обработки видеоизображения
- Системы сбора данных
- Ультразвуковые сканеры и системы цифрового формирования диаграммы направленности

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

10-разрядный маломощный высокоскоростной АЦП с частотой выборки до 130 Мвыб/с разработан на основе конвейерной архитектуры. АЦП состоит из пяти основных блоков: устройства выборки/хранения, ядра АЦП, коррекции цифровой ошибки, синхронизатора, источника опорного напряжения. Для корректной работы АЦП необходимы следующие характеристики: аналоговое питание $1,08 \div 1,32$ В, цифровое питание $1,08 \div 1,32$ В; опорный ток $4,95 \div 5,05$ мкА; опорный дифференциальный сигнал $1,08 \div 1,32$ В и 0 В; дифференциальный вход тактового сигнала с рабочим циклом $45 \div 55$ %. АЦП может работать в режиме ожидания, при котором реализуется пониженное энергопотребление.

Наличие цифровых регистров позволяет настроить режимы работы АЦП: регистр `en_d<1:0>` управляет дифференциальным входом тактовой частоты, регистр `cr<11:0>` управляет режимами работы ядра АЦП, регистр `adj_sh<3:0>` управляет током потребления устройства выборки/хранения, регистр `adj_md<3:0>` управляет током потребления ядра АЦП.

Устройство выполнено по технологии TSMC КМОП 65 нм.

4 БЛОК-СХЕМА

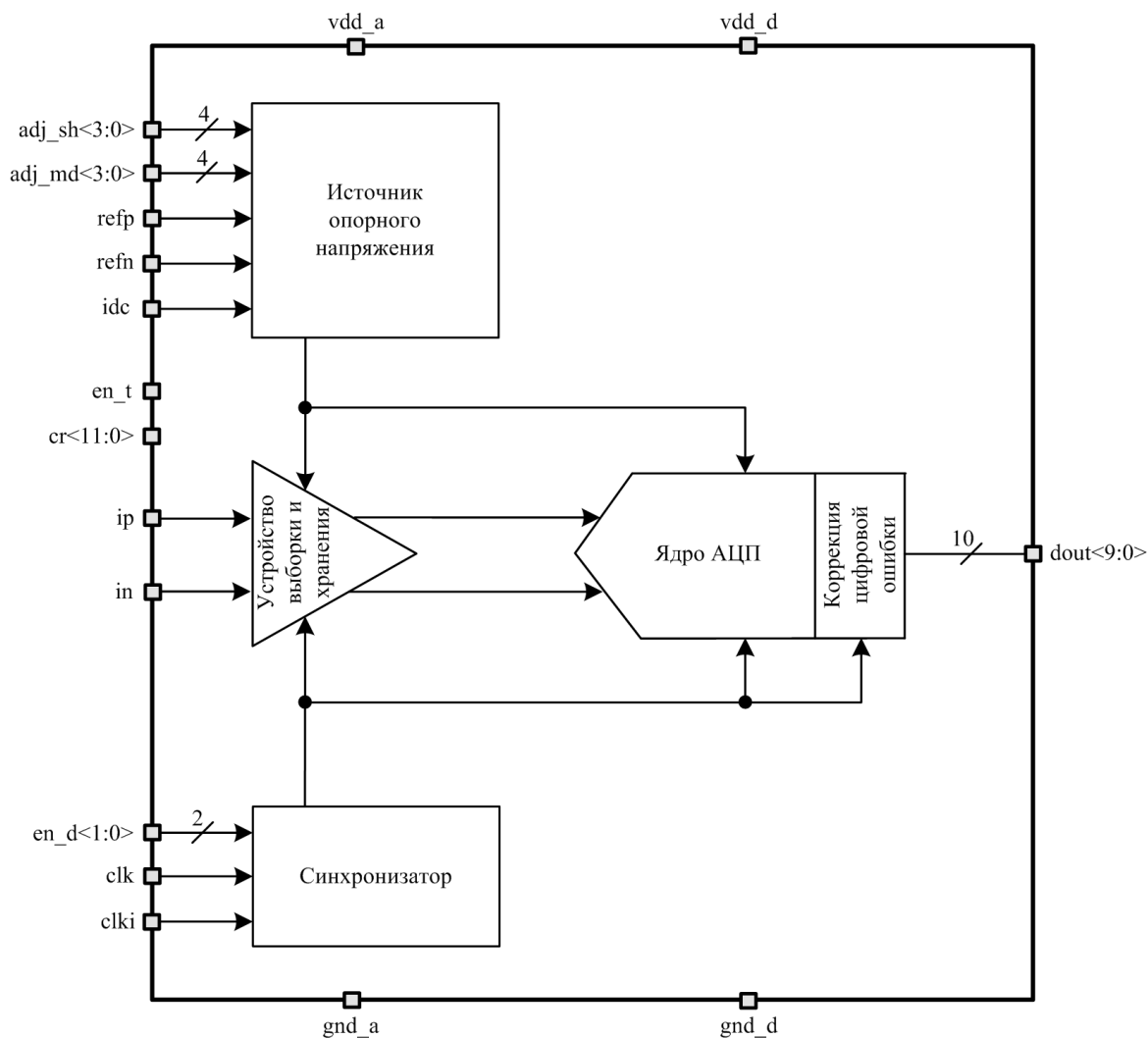


Рисунок 1: Блок-схема АЦП

5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
idc	I	Опорный ток (5 мкА)
ip	I	Аналоговый дифференциальный вход
in		
clk	I	Дифференциальный вход тактового сигнала
clki	I	
refp	I	Дифференциальный вход опорных напряжений
refn	I	
en_t	I	Глобальный сигнал включения
en_d<1:0>	I	Регистр управления дифференциальным входным тактовым сигналом
cr<11:0>	I	Регистр режимов управления ядра АЦП
adj_sh<3:0>	I	Регистр управляемого тока устройства выборки/хранения
adj_md<3:0>	I	Регистр управляемого тока ядра АЦП
dout<9:0>	O	Шина выхода данных
vdd_a	I/O	Напряжение питания аналоговых блоков (1,2 В)
vdd_d	I/O	Напряжение питания цифровых блоков (1,2 В)
gnd_a	I/O	Шина нулевого потенциала аналоговых блоков
gnd_d	I/O	Шина нулевого потенциала цифровых блоков

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры 10-разрядного маломощного высокоскоростного АЦП.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	480	МКМ
Ширина	592	МКМ

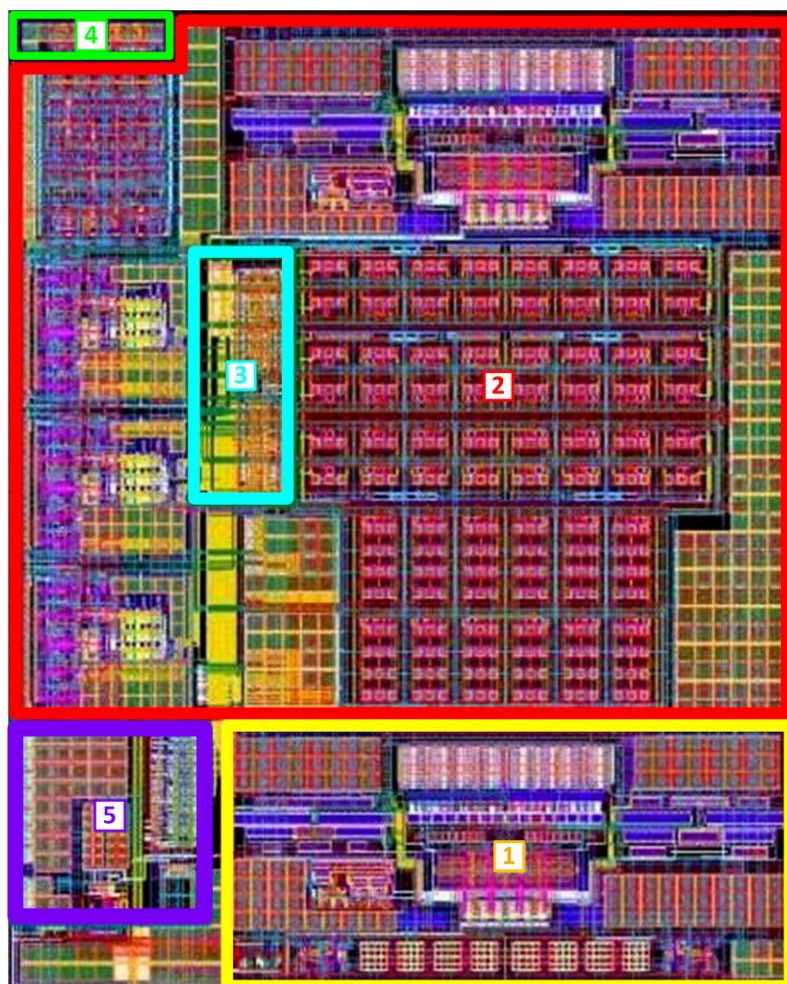


Рисунок 2: Общий вид топологии блока АЦП

1. Устройство выборки/хранения
2. Ядро АЦП
3. Источник опорного напряжения
4. Коррекция цифровой ошибки
5. Синхронизатор

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ TSMC КМОП 65 нм
Статус _____ подготовка к верификации
Занимаемая площадь _____ 0,28 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{dd_a} = 1,08 \div 1,32$ В, $V_{dd_d} = 1,08 \div 1,32$ В и $T_j = -40 \div +125$ °С, если иное не оговорено; типовые значения при $V_{dd_a} = 1,2$ В, $V_{dd_d} = 1,2$ В, $T_j = +27$ °С.

Наименование параметра	Обозначение	Условия	Значение			Единицы измерения
			мин	тип.	макс	
Температура окружающей среды при эксплуатации	T_j	-	-40	27	+125	°С
Напряжение питания аналоговых блоков	V_{dd_a}	-	1,08	1,2	1,32	В
Напряжение питания цифровых блоков	V_{dd_d}	-	1,08	1,2	1,32	В
Опорное напряжение на дифференциальных входах	V_{refp}	-	1,08	1,2	1,32	В
	V_{refn}	-	-	0	-	В
Опорный ток	I_{ref}	-	4,95	5	5,05	мкА
Рабочий цикл	S	-	45	50	55	%
Разрядность	N	-	-	10	-	бит
Скорость передачи данных	F_s	-	-	-	130	Мвыб/с
Рассеиваемая мощность	P_{cn}	$F_s = 130$ Мвыб/с adj_sh<3:0> = "1010" adj_md<3:0> = "1010"	-	34	-	мВт
		$F_s = 80$ Мвыб/с adj_sh<3:0> = "0111" adj_md<3:0> = "0111"	-	25	-	мВт
		$F_s = 50$ Мвыб/с adj_sh<3:0> = "0110" adj_md<3:0> = "0110"	-	21	-	мВт
Потребление тока	I_{cn}	$F_s = 130$ Мвыб/с adj_sh<3:0> = "1010" adj_md<3:0> = "1010"	-	28	-	мА
		$F_s = 80$ Мвыб/с adj_sh<3:0> = "0111" adj_md<3:0> = "0111"	-	20	-	мА
		$F_s = 50$ Мвыб/с adj_sh<3:0> = "0110" adj_md<3:0> = "0110"	-	17	-	мА
Ток в режиме ожидания	I_s	-	-	10	-	мкА
Размах напряжения на дифференциальных входах	$A_{IN\ p-p}$	-	-	1,2	-	В
Постоянная составляющая на аналоговых входах	U	-	-	0,6	-	В

Таблица “Электрические характеристики” (продолжение)

Наименование параметра	Обозначение	Условия	Значение			Единицы измерения
			мин	тип.	макс	
Полоса пропускания	F_B	$F_s = 130$ Мвыб/с	-	260	-	МГц
		$F_s = 80$ Мвыб/с	-	160	-	МГц
		$F_s = 50$ Мвыб/с	-	100	-	МГц
Реальный динамический диапазон	SFDR	$F_s = 130$ Мвыб/с, $f_{in} = 8,125$ МГц	-	68	-	дБ
		$F_s = 80$ Мвыб/с, $f_{in} = 5$ МГц	-	69	-	дБ
		$F_s = 50$ Мвыб/с, $f_{in} = 3,125$ МГц	-	69	-	дБ
Отношение сигнал/шум	SNR	$F_s = 130$ Мвыб/с, $f_{in} = 8,125$ МГц	-	60	-	дБ
		$F_s = 80$ Мвыб/с, $f_{in} = 5$ МГц	-	60	-	дБ
		$F_s = 50$ Мвыб/с, $f_{in} = 3,125$ МГц	-	60	-	дБ
Отношение сигнала к сумме шума и искажений	SINAD	$F_s = 130$ Мвыб/с, $f_{in} = 8,125$ МГц	-	59	-	дБ
		$F_s = 80$ Мвыб/с, $f_{in} = 5$ МГц	-	59	-	дБ
		$F_s = 50$ Мвыб/с, $f_{in} = 3,125$ МГц	-	60	-	дБ
Число эффективных разрядов	ENOB	$F_s = 130$ Мвыб/с	-	9,1	-	бит
		$F_s = 80$ Мвыб/с	-	9,3	-	бит
		$F_s = 50$ Мвыб/с	-	9,3	-	бит
Дифференциальная нелинейность	DNL	$F_s = 80$ Мвыб/с	-	0,5	-	МЗР
Интегральная нелинейность	INL	$F_s = 80$ Мвыб/с	-	1	-	МЗР
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	$0,7V_{dd,d}$	-	-	В
Входное напряжение низкого уровня	V_{IL}		-	-	$0,3V_{dd,d}$	В

8 ТИПОВЫЕ ХАРАКТЕРИСТИКИ

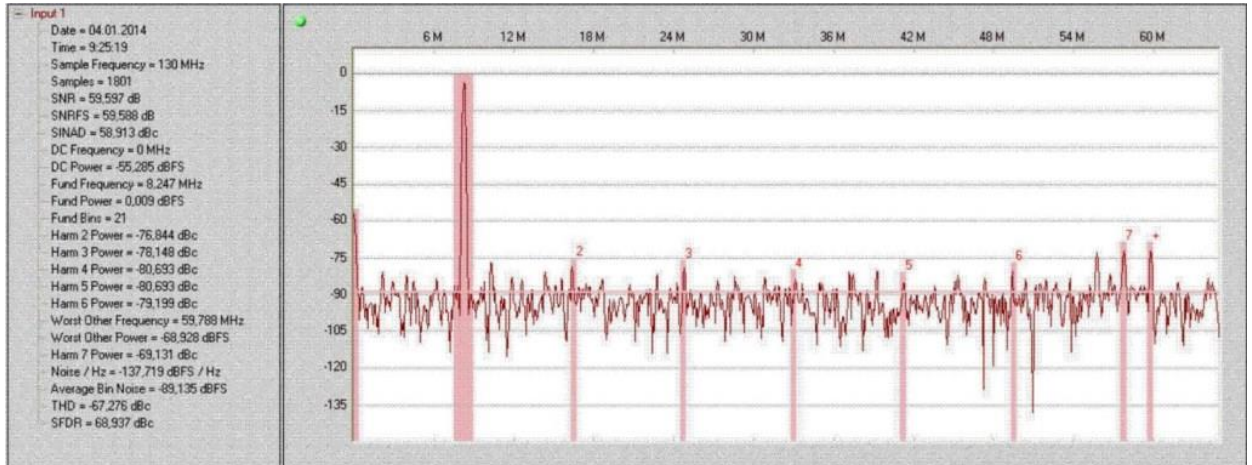


Рисунок 3: Спектр, $F_s = 130$ Мвыб/с

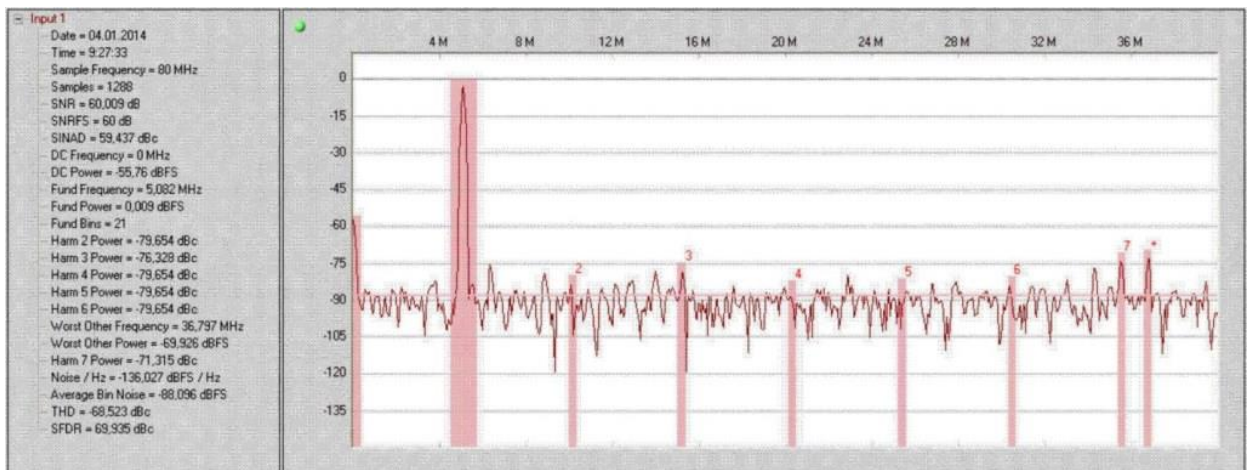


Рисунок 4: Спектр, $F_s = 80$ Мвыб/с

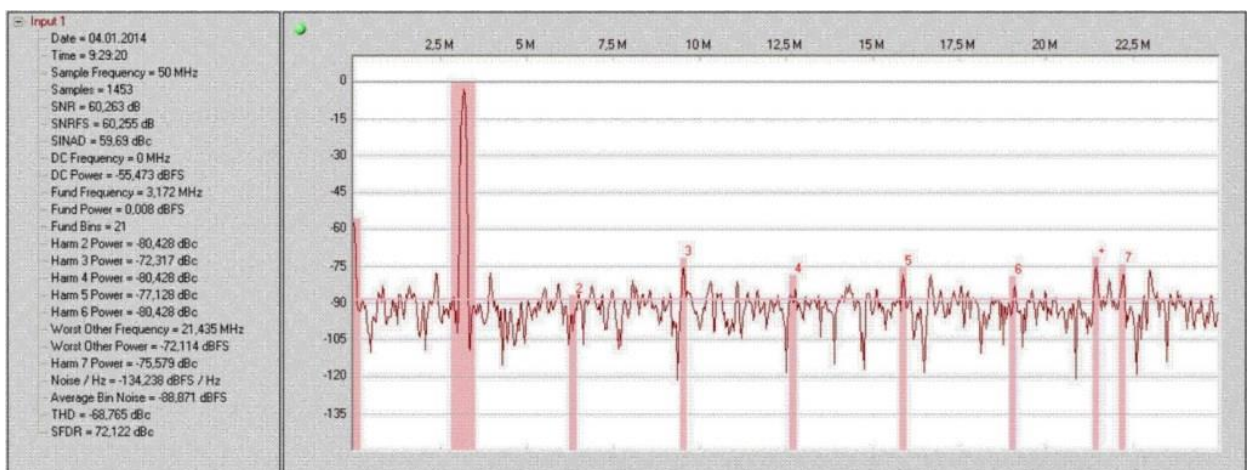


Рисунок 5: Спектр, $F_s = 50$ Мвыб/с

9 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация

СПИСОК ИЗМЕНЕНИЙ

От версии 1.1:

- Изменен раздел 6 (см. стр. 4)
- Изменен подраздел 7.1 (см. стр. 5)
- Изменен подраздел 7.2

От версии 1.0:

- Изменен раздел 1 (см. стр. 1)