
5 МГц 14-разрядный 2-канальный дельта-сигма АЦП с частотой выборки 300 кВыб/с

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- TSMC КМОП 65 нм
- Каскадный (2-2) дельта-сигма АЦП
- Напряжение питания 1,3 – 3,0 В
- Размах входного дифференциального сигнала 0,64 В
- Встроенный источник опорных напряжений (0,6 В ± 0,2 В)
- Встроенный регулятор напряжения аналоговой части
- Поддерживаемые технологии: TSMC, Global Foundries

2 СФЕРА ПРИМЕНЕНИЯ

- Аналого-цифровое преобразование сигнала
- Приемники, передатчики, трансиверы
- Измерительная техника
- Медицинская техника

3 КРАТКОЕ ОПИСАНИЕ

Блок представляет собой 2-канальный каскадный (2-2) дельта-сигма АЦП четвертого порядка с 5-уровневыми квантователями. В схему входят:

- два каскадно-соединенных дельта-сигма модулятора второго порядка в каждом канале
- делитель частоты тактового сигнала
- формирователь тактового сигнала
- блок опорных напряжений
- формирователь опорных токов
- реализация алгоритмов CLA, DWA и BiDWA коррекции рассогласования емкостей
- цифровой фильтр

АЦП выполнен по технологии TSMC КМОП 65 нм с использованием 6 уровней металлизации.

4 БЛОК-СХЕМА

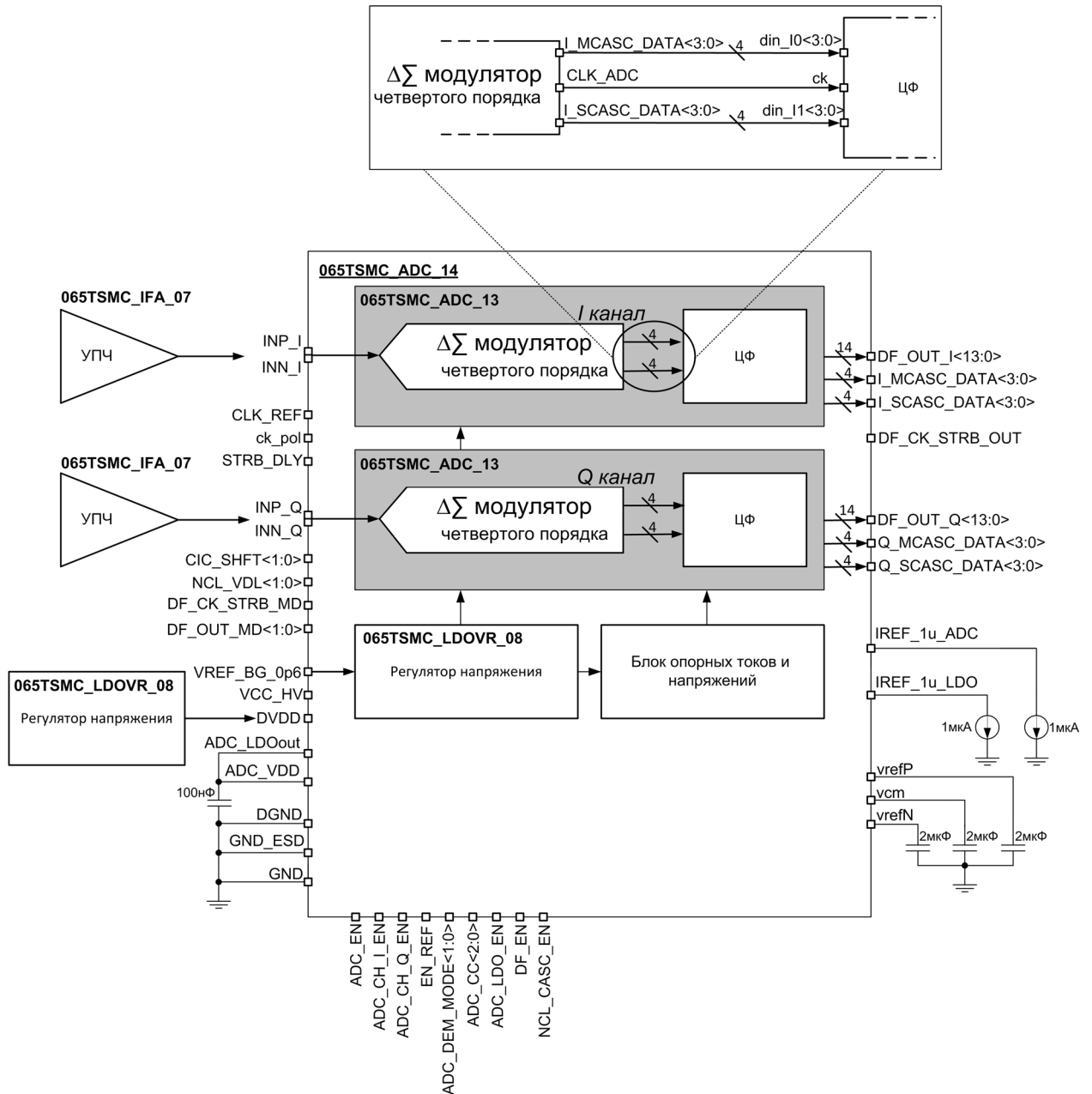


Рисунок 1: Блок-схема АЦП

5 ОПИСАНИЕ ПОРТОВ

Название	Направление	Описание
<i>Дельта-сигма модулятор</i>		
IREF_1u_LDO	I	Опорный ток регулятора напряжения (вытекающий) 1 мкА
IREF_1u_ADC	I	Опорный ток АЦП (вытекающий) 1 мкА
VREF_BG_0p6	I	Опорное напряжение 0,6 В
EN_REF	I	Включение блока опорных напряжений: “0” выключено “1” включено (значение по умолчанию)
ADC_LDO_EN	I	Включение регулятора напряжения: “0” выключено “1” включено (значение по умолчанию)
ADC_EN	I	Включение АЦП: “0” выключено “1” включено (значение по умолчанию)
ADC_CH_I_EN	I	Включение АЦП I канала, если ADC_EN = “1”: “0” выключено “1” включено (значение по умолчанию)
ADC_CH_Q_EN	I	Включение АЦП Q канала, если ADC_EN = “1”: “0” выключено “1” включено (значение по умолчанию)
INP_I	I	Входной дифференциальный аналоговый сигнал I канала
INN_I		
INP_Q	I	Входной дифференциальный аналоговый сигнал Q канала
INN_Q		
ADC_CC<2:0>	I	Настройка опорного тока АЦП: “000” 0,5 мкА “001” 1,0 мкА (значение по умолчанию) ... с шагом 0,5 мкА “111” 4,0 мкА
CLK_REF	I	Вход тактового сигнала частотой 5 МГц
ADC_DEM_MODE<1:0>	I	Включение схемы коррекции рассогласования конденсаторов в АЦП: “00” без коррекции “01” CLA “10” DWA “11” BiDWA (значение по умолчанию)
CLK_ADC	O	Синхросигнал выходных данных дельта-сигма модулятора
vrefP	P	Опорное дифференциальное напряжение
vrefN		
vcm	P	Напряжение постоянной составляющей входного сигнала
I_MCASC_DATA<3:0>	O	Выходные данные главного каскада (каскад 0) АЦП канала I

Продолжение таблицы "Описание портов"

Название	Направление	Описание
I_SCASC_DATA<3:0>	O	Выходные данные второго каскада (каскад 1) АЦП канала I
Q_MCASC_DATA<3:0>	O	Выходные данные главного каскада (каскад 0) АЦП канала Q
Q_SCASC_DATA<3:0>	O	Выходные данные второго каскада (каскад 1) АЦП канала Q
ADC_LDOout	P	Выход регулятора напряжения 1,2 В
ADC_VDD	P	Шина питания АЦП 1,2 В
VCC_HV	P	Шина внешнего питания аналоговых блоков 1,3–3,0 В
GND	P	Шина нулевого потенциала
GND_ESD	P	Шина нулевого потенциала для защиты от статического электричества
<i>Цифровой фильтр</i>		
nrst	I	Общий сброс цифрового фильтра: "0" сброс "1" нормальная работа (значение по умолчанию)
ck_pol	I	Полярность тактового сигнала цифрового фильтра: "0" прямая (значение по умолчанию) "1" инверсная
ck	I	Вход тактового сигнала от дельта-сигма модулятора
DF_EN	I	Включение цифрового фильтра: "0" выключено "1" включено (значение по умолчанию)
din_I0<3:0>	I	Входные данные от главного каскада (каскад 0) дельта-сигма модулятора канала I
din_I1<3:0>	I	Входные данные от второго каскада (каскад 1) дельта-сигма модулятора канала I
din_Q0<3:0>	I	Входные данные от главного каскада (каскад 0) дельта-сигма модулятора канала Q
din_Q1 <3:0>	I	Входные данные от второго каскада (каскад 1) дельта-сигма модулятора канала Q
NCL_CASC_EN	I	Включение блока компенсации шума квантования: "0" выключено "1" включено (значение по умолчанию)

Продолжение таблицы "Описание портов"

Название	Направление	Описание
DF_OUT_MD<1:0>	I	Выбор выходного сигнала: "00" выход блока компенсации шума квантования
		"01" выходные данные первого каскада фильтра с коэффициентом децимации 4
		"10" выходные данные второго каскада фильтра с коэффициентом децимации 8
		"11" выходные данные третьего каскада фильтра с коэффициентом децимации 16 (основной выход) (значение по умолчанию)
DF_CK_STRB_MD	I	Режим сигнала синхронизации выходных данных: "0" синхронизация по переднему фронту CLK_REF (значение по умолчанию)
		"1" синхронизация по переднему фронту CLK_ADC
NCL_VDL<1:0>	I	Величина задержки в тактах данных главного каскада относительно второго каскада в блоке компенсации шума квантования:
		"00" 0
		"01" 1
		"10" 2 (значение по умолчанию)
		"11" 3
STRB_DLY	I	Регистр коррекции синхронизации в блоке цифровой фильтрации
CIC_SHFT<1:0>	I	Усиление сигнала на выходе CIC фильтра:
		"00" без усиления
		"01" ×2
		"10" ×4
"11" ×8 (значение по умолчанию)		
DF_CK_STRB_OUT	I	Сигнал синхронизации выходных данных
DF_OUT_I<13:0>	O	Выход цифровых фильтров канала I
DF_OUT_Q<13:0>	O	Выход цифровых фильтров канала Q
DVDD	P	Шина питания цифрового фильтра 1,2 В
DGND	P	Шина нулевого потенциала цифрового фильтра

6 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

АЦП может работать в двух режимах: режиме ожидания и активном режиме. Выбор одного из режимов определяется сигналами на управляющих входах ADC_EN и DF_EN:

- ADC_EN = “0”, DF_EN = “0”: Режим ожидания. Аналоговые блоки и цифровой фильтр отключены; регулятор напряжения и источник опорных напряжений включены. Низкое энергопотребление
- ADC_EN = “1”, DF_EN = “1”: Активный режим. Аналоговые блоки включены; цифровой фильтр включен и тактируется. Высокое энергопотребление

По включению питания необходимо подать на управляющие входы ADC_EN, DF_EN, EN_IF, ADC_LDO_EN, ADC_CH_I_EN, ADC_CH_Q_EN логическую “1” и выждать не менее 6 мс для установления опорных напряжений.

При выходе из режима ожидания необходимо выждать не менее 50 мкс для установления сигналов на выходе АЦП.

В модулятор включена реализация алгоритмов коррекции рассогласования конденсаторов методом прямого усреднения (CLA), информационно-взвешенного усреднения (DWA) и двунаправленного информационно-взвешенного усреднения (BiDWA). Предусмотрена возможность работы АЦП без использования алгоритмов коррекции.

Ввиду вариаций технологического процесса возможно появление ошибок синхронизации внутренней системы тактирования цифрового фильтра. Для их устранения необходимо подать логическую “1” на вход STRB_DLY, что вводит дополнительный временной сдвиг во внутреннюю систему тактирования.

Временная диаграмма работы блоков АЦП приведена на рисунке 2.

Цифровой фильтр тактируется дельта-сигма модулятором (вывод CLK_ADC). Синхронизация выходных данных может осуществляться двумя способами в зависимости от логического уровня на входе DF_CK_STRB_MD:

- DF_CK_STRB_MD = “0”: чтение данных по переднему фронту DF_CK_STRB_OUT
- DF_CK_STRB_MD = “1”: чтение данных по переднему фронту CLK_ADC, при DF_CK_STRB_OUT = “1”

Выходной сигнал формируется в 14-разрядном двоичном коде на выходе цифрового фильтра. Существует возможность получения выходного сигнала дельта-сигма модулятора в 8-разрядном «термометрическом» коде.

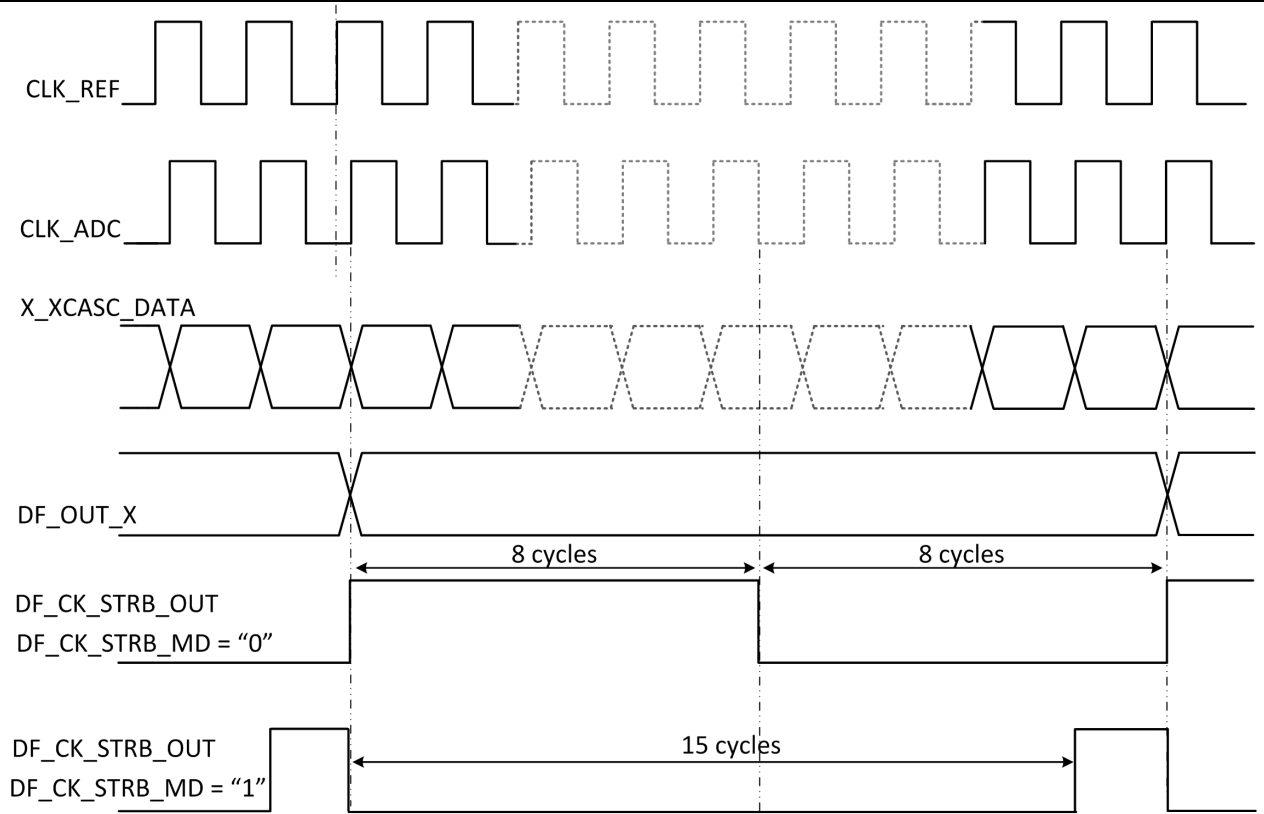


Рисунок 2: Временная диаграмма работы АЦП

7 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены топологические размеры блока АЦП.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	730	мкм
Ширина	870	мкм

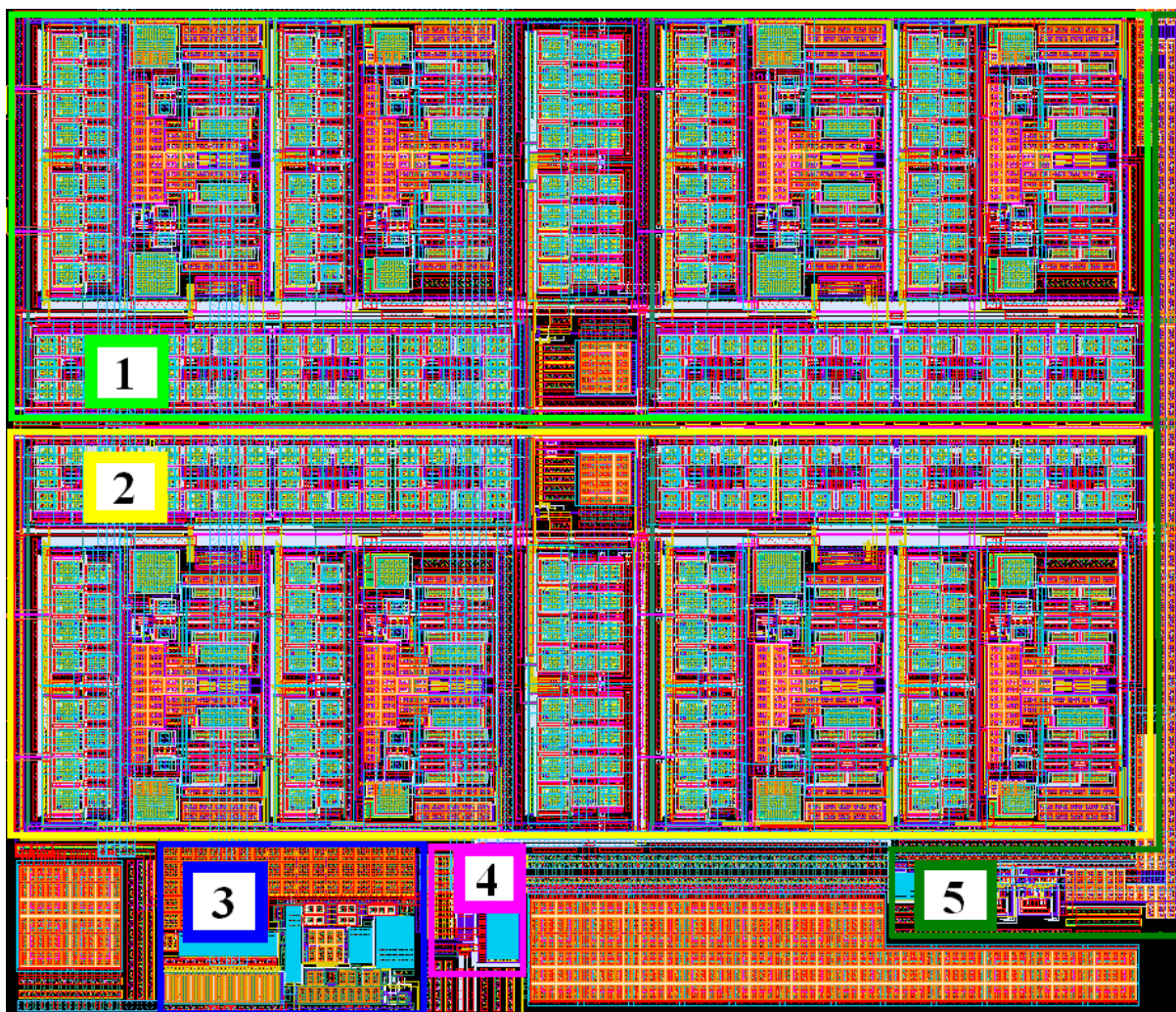


Рисунок 3: Общий вид топологии дельта-сигма модулятора АЦП

1. Дельта-сигма модулятор I канала
2. Дельта-сигма модулятор Q канала
3. Регулятор напряжения аналоговых блоков
4. Источник опорных токов
5. Источник опорных напряжений
6. Фильтрующие емкости

Площадь цифрового фильтра составляет 0,76 мм².

8 РУКОВОДСТВО ПО ИНТЕГРАЦИИ

Входной дифференциальный сигнал аналого-цифрового преобразователя подключается к входам INP_I и INN_I для I канала (INP_Q и INN_Q для Q канала). Источники сигналов должны располагаться как можно ближе ко входам АЦП, чтобы минимизировать паразитное влияние соседних блоков и разводки.

Для получения стабильного опорного дифференциального напряжения и постоянной составляющей необходимо к каждому из входов vrefP, vrefN, vcm подключить внешний конденсатор номиналом 2 мкФ.

Тактовый сигнал должен быть подключен к входу CLK_REF и иметь длительность фронта импульса/спада импульса не более 1 нс. Длительности фронтов измеряются по уровням $0,1 \times VDD_ADC$ и $0,9 \times VDD_ADC$.

Управляющие входы (EN_IF, ADC_LDO_EN, ADC_EN, ADC_CH_I_EN, ADC_CH_Q_EN, ADC_DEM_MODE<1:0>, ADC_CC<2:0>) должны иметь длительность фронта/спада импульса не более 5 нс. Предполагается, что эти входы используются только для выбора режима работы и будут неизменными при работе АЦП.

8.1 РАЗМЕЩЕНИЕ И РАЗВОДКА

В процессе интеграции АЦП должны быть осуществлены следующие требования по размещению и разводке:

- Размещение любых топологических элементов, в том числе разводки и металлизации заполнения над блоком АЦП недопустимы
- Шины питания аналоговых блоков (ADC_VDD, VCC_HV, ADC_LDOout) и земли (GND) должны допускать протекание тока 2 мА (6 мА в пиковом значении)
- Полное сопротивление шин питания аналоговых блоков (ADC_VDD, ADC_LDOout) и земли (GND) не должно превышать 2 Ом для каждой шины
- Шина питания цифровых блоков (DVDD) и земли цифровых блоков (DGND) должны допускать протекание тока 0,8 мА (3 мА в пиковом значении)
- Полное сопротивление шины питания цифровых блоков (DVDD) и земли цифровых блоков (DGND) не должно превышать 5 Ом для каждой шины
- Минимальное расстояние между блоком аналоговой частью АЦП (дельта-сигма модулятор) и соседними блоками должно составлять 10-15 мкм. Рекомендуется заполнить это пространство фильтрующими конденсаторами между шинами ADC_VDD и GND
- Строго не рекомендуется располагать аналоговую часть АЦП (дельта-сигма модулятор) в близости с высокочастотными, а также шумящими блоками
- Рекомендуется окружить блок дельта-сигма модулятора охранным кольцом с применением изоляции глубоким карманом
- Рекомендуется окружить блок цифрового фильтра охранным кольцом с применением изоляции глубоким карманом
- Длина выходных шин дельта-сигма модулятора (I_MCASC_DATA<3:0>, I_SCASC_DATA<3:0>, Q_MCASC_DATA<3:0>, Q_SCASC_DATA<3:0>) не должна превышать 250 мкм. Сопротивление этих шин не должно превышать 100 Ом для каждой шины. Общая емкость на этих шинах (включая паразитную) не должна превышать 1,5 пФ для каждой шины

9 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

9.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ:

Технология	TSMC КМОП 65 нм
Статус	верифицирован в кремнии
Занимаемая площадь (дельта-сигма модулятор)	0,64 мм ²
Занимаемая площадь (цифровые фильтры)	0,76 мм ²
Занимаемая площадь (общая)	1,40 мм ²

9.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для VCC_HV = 1,3 ÷ 3,0 В, DVDD = 1,08 ÷ 1,32 В и Tj = -40 ÷ +85°C, если иное не оговорено; типовые значения при VCC_HV = 2,5 В, DVDD = 1,2 В и Tj = 27° С.

Наименование параметра	Обозначение	Примечания	Значение			Единица измерения
			мин	тип.	макс	
Рабочая температура	Tj	-	-40	27	+85	°С
Внешнее высоковольтное напряжение питания (VCC_HV)	V _{HV}	-	1,3	2,5	3,0	В
Напряжение питания цифрового фильтра	DVDD	-	1,08	1,2	1,32	В
Выходное напряжение регулятора напряжения аналоговых блоков АЦП (ADC_VDD)	V _{DSM}	-	1,14	1,2	1,26	В
Ток потребления дельта-сигма модулятора	I _{DSM}	1 канал	0,21	0,23	0,36	мА
		2 канала	0,37	0,41	0,64	
Ток потребления блока опорных напряжений	I _{VREF}	-	67	75	220	мкА
Ток потребления цифрового фильтра	I _{DVDD}	-	600	660	750	мкА
Тактовая частота	F _{clk}	-	-	5	-	МГц
Коэффициент передискретизации	OSR	-	-	16	-	-
Полоса преобразуемого сигнала	BW	-	-	150	-	кГц
Соотношение Сигнал/шум	SNR	BW = 150 кГц	60	67	72	дБ
Динамический диапазон, свободный от паразитных составляющих	SFDR	-	-	78	-	дБ
Сквозность тактового сигнала	S	-	45	50	55	%
Джиттер	T _{JIT}	-	-	50	-	пс
Постоянная составляющая входного сигнала	vcm	-	-	0,6	-	В
Опорное дифференциальное напряжение	vrefP	-	-	0,8	-	В
	vrefN	-	-	0,4	-	

Продолжение таблицы "Электрические характеристики"

Наименование параметра	Обозначение	Примечания	Значение			Единица измерения
			мин	тип.	макс	
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	$0,8V_{HV}$	-	$V_{HV} + 0,1$	В
Входное напряжение низкого уровня	V_{IL}		-0,1	-	$0,2V_{HV}$	В
Выходное напряжение высокого уровня	V_{OH}	-	-	DVDD	-	В
Выходное напряжение низкого уровня	V_{OL}	-	-	0	-	В

9.3 ДИНАМИЧЕСКИЕ ХАРАКТЕРИСТИКИ

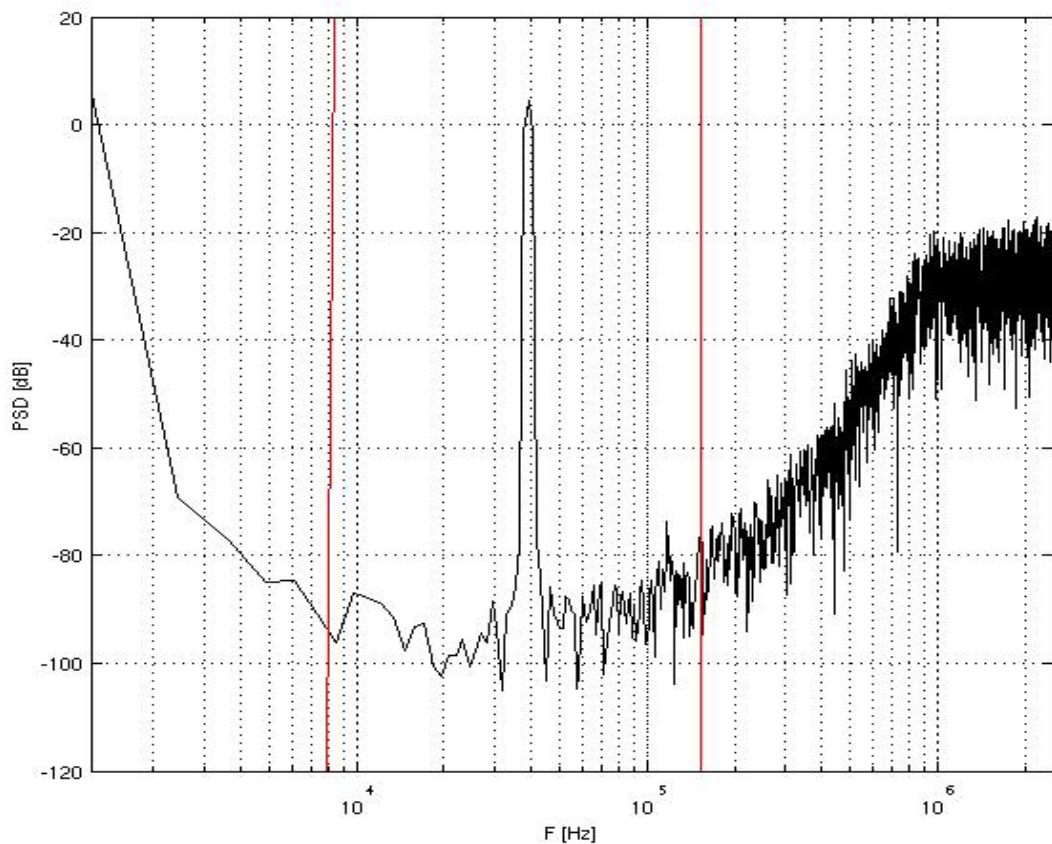


Рисунок 4: Спектр выходного сигнала сигма-дельта модулятора

10 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация