

---

# Высокоскоростной 1-канальный 14-разрядный АЦП с частотой выборки 50 Мвыб/с

---

## СПЕЦИФИКАЦИЯ

### 1 ОСОБЕННОСТИ

- Выполнено по технологии TSMC КМОП 90 нм
- Разрядность 14-бит
- Частота выборки 50 Мвыб/с
- Использование отдельных шин питания 1 В для цифровой и 1,8 В для аналоговой частей схемы АЦП соответственно
- Низкое потребление в режиме ожидания (ток потребления 5 мкА)
- Рассеиваемая мощность в диапазоне от 62 мВт до 314,2 мВт
- Реальный динамический диапазон 62 дБ
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC

### 2 СФЕРА ПРИМЕНЕНИЯ

- Оптические сети
- Тестовое оборудование
- Ультразвуковые сканеры и системы цифрового формирования диаграммы направленности
- Телекоммуникационные системы
- Высококачественные системы обработки видеоизображения

### 3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Блок АЦП построен по конвейерной архитектуре. Конвейерные АЦП состоят из последовательно соединенных каскадов, каждый каскад, за исключением последнего, состоит из параллельного АЦП низкого разрешения, соединенного с ЦАП на основе переключаемых конденсаторов, и усилителя остатка (умножающий ЦАП). Усилитель остатка выполняет функцию усиления разницы между выходом параллельного ЦАПа и его входом для передачи следующему каскаду. На выходе находится блок, выполняющий функцию выравнивания промежуточных данных каждого каскада, цифровой коррекции и параллельной передачи готового кода на выход.

АЦП состоит из схемы генерации опорных напряжений, низковольтного приёмника дифференциальной передачи синхросигнала, ядра и выходного блока выравнивания и коррекции данных. АЦП необходимы следующие напряжения питания: аналоговое в диапазоне 1,6 ÷ 2,0 В и цифровое в диапазоне 0,9 ÷ 1,1 В. Схема может работать в режиме ожидания обеспечивая минимальное энергопотребление. Также существует возможность настройки рабочих режимов АЦП с помощью цифровых регистров: регистр `ref<3:0>` управляет дифференциальными опорными напряжениями (`refp` и `refn`), регистр `iadc<2:0>` регулирует уровень токов АЦП, регистр `ish<2:0>` регулирует ток схемы выборки/хранения. Также существует возможность подключения внешних опорных напряжений `refp` и `refn`.

Устройство выполнено по технологии TSMC КМОП 90 нм.

## 4 БЛОК-СХЕМА

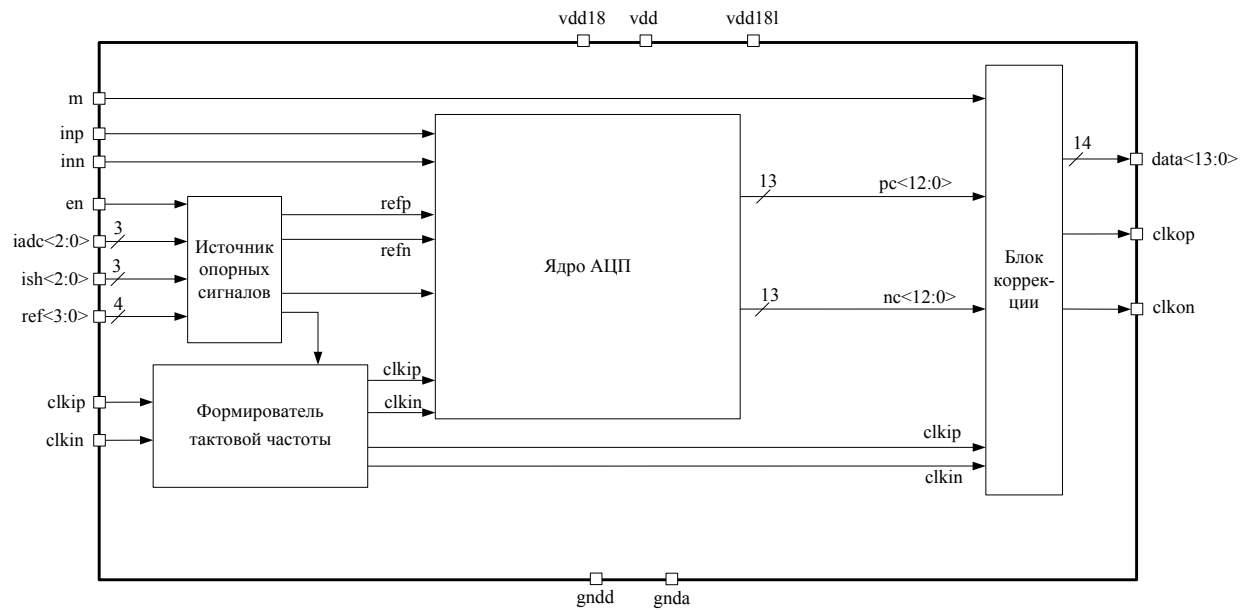


Рисунок 1: Блок-схема высокоскоростного 14-разрядного АЦП

## 5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
en	I	Включение устройства
inp	I	Аналоговый дифференциальный вход
inn		
clkp	I	Дифференциальный вход тактового сигнала
clkn		
ref<3:0>	I	Настройка регистра опорного сигнала
iadc<2:0>	I	Настройка тока регистра АЦП
ish<2:0>	I	Настройка тока регистра схемы выборки
m	I	Выбор регистра выходного кода
data<13:0>	O	Шина выходных данных
clkop	O	Дифференциальный выход тактового сигнала
clkon		
refp	I/O	Опорный дифференциальный сигнал
refn		
vdd18	I/O	Напряжение питания аналоговых блоков 1,8 В
vdd18l	I/O	Напряжение питания аналоговых блоков 1,8 В
vdd	I/O	Напряжение питания цифровых блоков 1,0 В
gnda	I/O	Шина нулевого потенциала аналоговых блоков
gndd	I/O	Шина нулевого потенциала цифровых блоков

## 6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока аналого-цифрового преобразователя.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	1807	МКМ
Ширина	465	МКМ

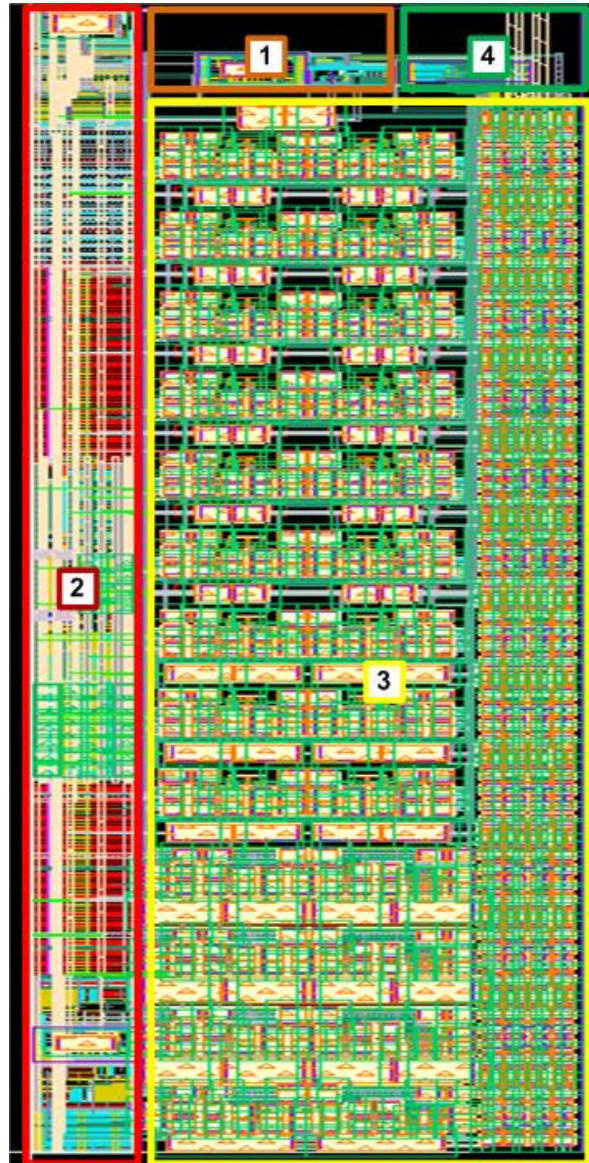


Рисунок 2: Общий вид топологии блока высокоскоростного 14-разрядного АЦП

1. Формирователь тактовой частоты
2. Источник опорных сигналов
3. Ядро АЦП
4. Блок коррекции

## 7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

### 7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология \_\_\_\_\_ TSMC КМОП 90 нм  
 Статус \_\_\_\_\_ верифицирован в кремнии  
 Занимаемая площадь \_\_\_\_\_ 0,84 мм<sup>2</sup>

### 7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для  $V_{dd18} = 1,6 \div 2,0$  В,  $V_{dd} = 0,9 \div 1,1$  В и  $T_j = -60 \div +125^\circ\text{C}$ , если иное не оговорено; типовые значения при  $V_{dd18} = 1,8$  В,  $V_{dd} = 1,0$  В и  $T_j = +27^\circ\text{C}$ .

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип.	макс	
Диапазон рабочих температур	$T_j$	-	-60	27	125	°C
Напряжение питания аналоговых блоков	$V_{dd18}, V_{dd18I}$	-	1,6	1,8	2	В
Напряжение питания цифровых блоков	$V_{dd}$	-	0,9	1,0	1,1	В
Разрядность	N	-	-	14	-	бит
Тактовая частота	$F_s$	-	-	50	-	МГц
Полоса пропускания сигнала	$F_b$	-	-	25	-	МГц
Ток в режиме ожидания	$I_{st}$	-	-	5	-	мкА
Ток потребления	$I_{cn}$	-	-	176,8	-	мА
Максимальная амплитуда входного сигнала	$A_{IN}$	-	1,02	1,024	1,03	В
Опорные напряжения для входного сигнала	$V_{REF+}$	-	1,31	1,43	1,51	В
	$V_{REF-}$		0,37	0,41	0,44	В
Размах напряжения на дифференциальных входах	$A_{IN\ p-p}$	-	-	2	-	В
Постоянная напряжения на дифференциальных входах	U	-	$0,5V_{dd18} - 100\text{мВ}$	$0,5V_{dd18}$	$0,5V_{dd18} + 100\text{мВ}$	В
Коэффициент нелинейных искажений	THD	Входная амплитуда 0,9 относительно полной шкалы $A_{IN}$ ,	-	-60,5	-	дБ
Отношение сигнал/шум	SNR	частота входного сигнала 1,56 МГц, $F_{clk} = 50$ МГц	-	58	-	дБ
Реальный динамический диапазон	SFDR		60	62	64	дБ
Входное напряжение высокого уровня	$V_{IH}$	Для цифровых входов	0,7	-	-	В
Входное напряжение низкого уровня	$V_{IL}$		-	-	0,3	В

## 8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация