

---

# 10-разрядный 1-канальный АЦП с частотой выборки 1 Мвыб/с

---

## СПЕЦИФИКАЦИЯ

### 1 ОСОБЕННОСТИ

- TSMC КМОП 90 нм
- Разрядность 10 бит
- Частота выборки 1 Мвыб/с
- Использование отдельных шин питания 1 В для цифровой и 3,3 В для аналоговой частей схемы АЦП соответственно
- Низкое потребление в режиме ожидания (ток потребления < 230 нА)
- Рассеиваемая мощность в диапазоне от 0,69 мВт до 3,08 мВт
- Реальный динамический диапазон при выходном унарном сигнале частотой 24,41 кГц составляет 65 дБ
- Поддерживаемые технологии: UMC, Global Foundries, SMIC, iHP, Vanguard, SilTerra

### 2 СФЕРА ПРИМЕНЕНИЯ

- Цифровые сотовые телефоны
- Портативные записывающие устройства
- Цифровые звуковые рабочие станции
- Удаленные датчики
- Устройства регистрации данных

### 3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

АЦП построен по архитектуре последовательного приближения. Основными блоками являются: устройство выборки/хранения, компаратор напряжений (сравнивающий входное напряжение с напряжением, генерируемым внутренним ЦАПом) и цифровой модуль, реализующий алгоритм последовательного приближения. Алгоритм последовательного приближения заключается в последовательном сравнении исходной величины с выходом внутреннего ЦАПа. На первом такте величина сравнивается с половиной опорной шкалы ЦАПа и результат записывается в регистр. Если входное напряжение оказывается выше половины шкалы, то при следующем такте генерируется на выходе ЦАПа половина шкалы плюс четверть шкалы, если ниже – то генерируется только четверть шкалы, результат сравнения записывается в регистр. На последующем такте добавляются, соответственно, напряжения, равные восьмой части шкалы, шестнадцатой и т.д. Эта процедура повторяется 10 тактов, получая на выходе 10 битную аппроксимацию входного напряжения в цифровом коде.

АЦП состоит из входного мультиплексора, ядра, выходной логики, генератора тактовых сигналов. Ядро состоит из внутреннего ЦАПа, схемы генерации опорных напряжений, устройства выборки/хранения, компаратора напряжений. Для АЦП необходимы следующие напряжения питания: аналоговое питание 3,0...3,6 В и цифровое питание 0,9...1,1 В. АЦП может работать в режиме ожидания, при котором реализуется пониженное энергопотребление.

Устройство выполнено по технологии TSMC КМОП 90 нм.

## 4 БЛОК-СХЕМА

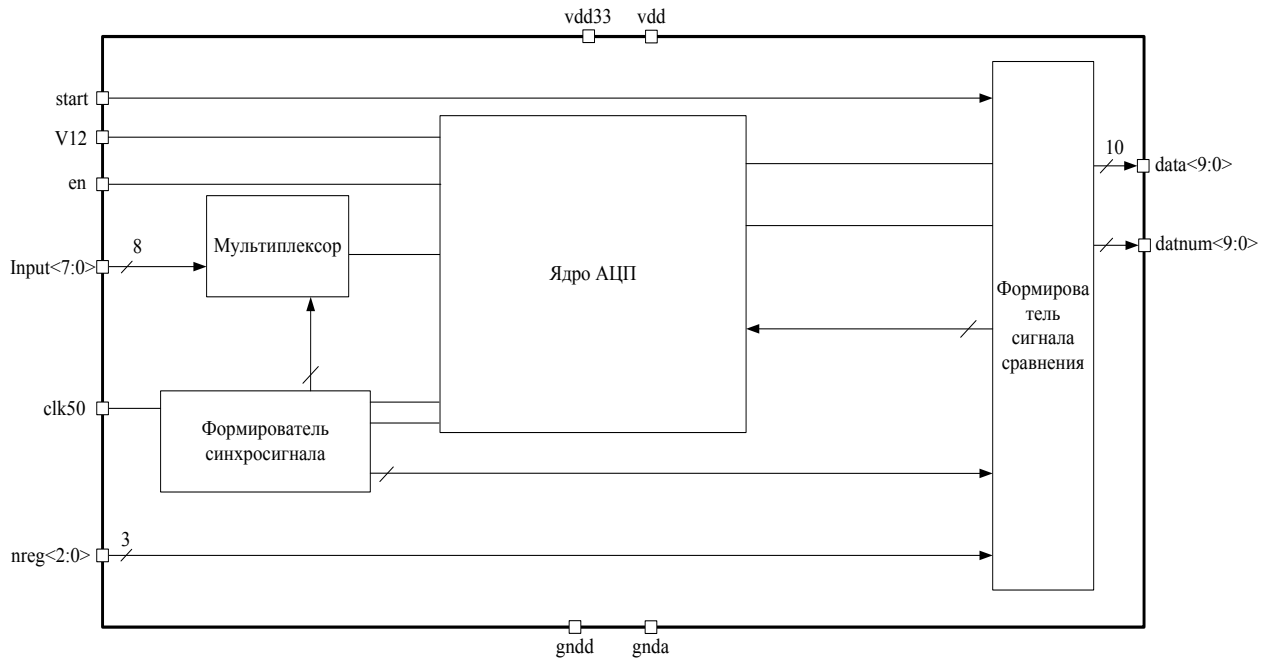


Рисунок 1: Блок-схема 10-разрядный АЦП

## 5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
en	I	Включение устройства: "0" выключено "1" включено
input<7:0>	I	Шина входных данных
V12	I	Опорное напряжение (1,2 В)
clk_50	I	Сигнал опорной частоты (50 МГц)
nreg<2:0>	I	Регистр выбора канала преобразования
start	I	Сигнал начала преобразований
data<9:0>	O	Шина выходных данных
datnum<9:0>	O	Тестовая шина выходных данных
vdd33	I/O	Напряжение питания аналоговых блоков (3,3 В)
vdd	I/O	Напряжение питания цифровых блоков (1 В)
gnda	I/O	Шина нулевого потенциала аналоговых блоков
gndd	I/O	Шина нулевого потенциала цифровых блоков

## 6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока аналого-цифрового преобразователя.

Таблица 1: Размеры блока АЦП

Размер	Значение	Единица измерения
Высота	145	МКМ
Ширина	308	МКМ

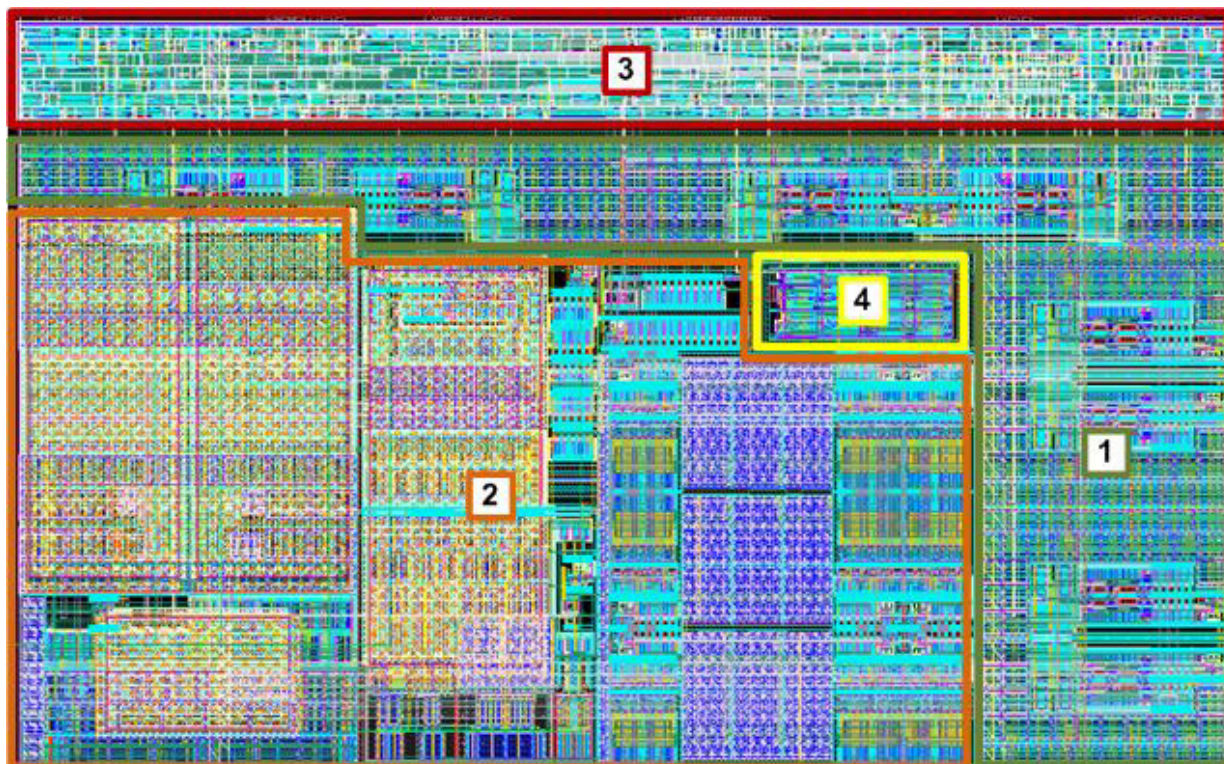


Рисунок 2: Общий вид топологии АЦП

1. Мультиплексор
2. Ядро АЦП
3. Формирователь обратного сигнала сравнения
4. Формирователь синхросигнала

## 7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

### 7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология \_\_\_\_\_ TSMC КМОП 90 нм  
 Статус \_\_\_\_\_ подготовка к верификации в кремнии  
 Занимаемая площадь \_\_\_\_\_ 0.045 мм<sup>2</sup>

### 7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для  $V_{dd33}=3,0\div 3,6$  В,  $V_{dd}=0,9\div 1,1$  В и  $T_j = -60\div +125^\circ\text{C}$ , если иное не оговорено; типовые значения при  $V_{dd33} = 3,3$  В,  $V_{dd} = 1,0$  В и  $T_j = +27^\circ\text{C}$ .

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Диапазон рабочих температур	$T_j$	-	-60	27	125	°C
Напряжение питания аналоговых блоков	$V_{dd33}$	-	3,0	3,3	3,6	В
Напряжение питания цифровых блоков	$V_{dd}$	-	0,9	1,0	1,1	В
Разрядность	N	-	-	10	-	бит
Частота тактирования	$F_{clk}$	-	-	50	-	МГц
Скорость передачи данных	$F_s$	-	-	1	-	Мвыб/сек
Полоса пропускания	$F_b$	-	-	0,5	-	МГц
Ток в режиме ожидания	$I_{st}$	-	-	230	-	нА
Потребляемая мощность	$P_{cn}$	-	0,69	1,32	3,08	мВт
Реальный динамический диапазон	SFDR	$F_{clk} = 50$ МГц	65	67	68	дБ
Входное напряжение высокого уровня	$V_{IH}$	Для цифровых входов	0,7	-	-	В
Входное напряжение низкого уровня	$V_{IL}$		-	-	0,3	В

## 8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация