
10-разрядный 1-канальный высокоскоростной АЦП последовательного приближения с частотой выборки 1 Мвыб/с

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- TSMC КМОП 90 нм
- Работа с одним из восьми входных каналов
- Разрядность 10 бит
- Частота выборки 1 Мвыб/с
- Выбор режимов работы (постоянного и единичного преобразования) с различным энергопотреблением
- Режим ожидания
- Работа с унарным сигналом диапазона 0,1÷2,7 В
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, SilTerra

2 СФЕРА ПРИМЕНЕНИЯ

- Тестовое и измерительное оборудование
- Видео системы
- Контроль промышленных процессов
- Анализ спектра
- Медицинское оборудование
- Портативное оборудование

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Данный АЦП представляет собой 10-битный низкоскоростной преобразователь, построенный по архитектуре последовательного приближения. Включает в себя схему формирования опорного напряжения 1,26 В и восьмиканальный аналоговый мультиплексор на входе, позволяющий обрабатывать один из восьми входных сигналов. Параллельный выходной интерфейс обеспечивает связь схемы с внешними блоками.

АЦП имеет 3 режима преобразования: режим постоянного преобразования, режим единичного преобразования с горячим стартом и режим единичного преобразования с холодным стартом. Также схема может асинхронно выключаться с помощью сигнала en, обеспечивая пониженное энергопотребления.

Режим постоянного преобразования подразумевает непрерывное преобразование сигнала, поступающего с одного из восьми мультиплексоров (выбор мультиплексора производится с помощью регистра adr<2:0>). Для активации этого режима сигнал start должен быть подан один раз, и потом сброшен, или же постоянно находиться в единице. Режимы единичного преобразования выполняют конверсию сигнала в выходной код по положительному фронту сигнала start. После преобразования схема входит в режим пониженного энергопотребления. Режим горячего старта отличается от режима холодного старта наименованием блоков, которые продолжают работать после окончания преобразования (остальные блоки отключаются). В режиме горячего старта продолжают работать блоки генератора опорного напряжения 1,25 В и блок генерации опорных напряжений и токов. В режиме холодного старта блоки отключаются.

4 БЛОК-СХЕМА

Структурная схема включает генератор опорного напряжения 1,26 В, схему генерации опорных напряжений и токов, входной интерфейс, устройство выборки и хранения, R2R ЦАП, буферный повторитель напряжения и управляющей логики, компаратор напряжения и вспомогательные блоки.

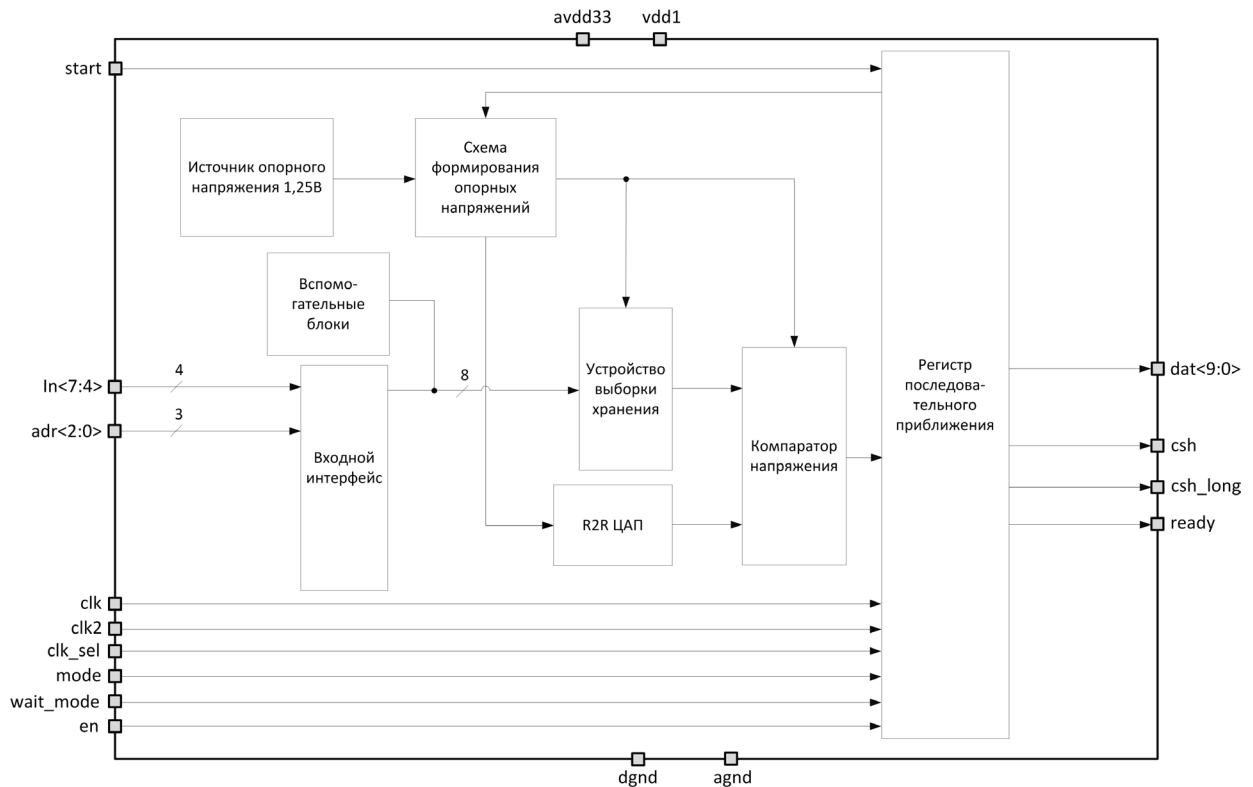


Рисунок 1: Блок-схема 10-разрядный 1-канальный АЦП

5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
en	I	Сигнал включения/выключения схемы: “0” выключено “1” включено
In<7:4>	I	Аналоговые входы
clk	I	Первый тактовый вход
clk2	I	Второй тактовый вход
dat<9:0>	O	Шина выходных данных
csn	O	Выходной тактирующий сигнал
csn_long	O	Выходной тактирующий сигнал (скважность 50%)
clk_sel	I	Выбор канала тактового сигнала: “0” clk “1” clk2
start	I	Сигнал начала преобразования
adr<2:0>	I	Регистр выбора канала преобразования
mode	I	Режим работы: “0” единичное преобразование “1” непрерывное преобразование
wait_mode	I	Выбор режима единичного преобразования при mode = “0”: “0” «горячий» старт “1” «холодный» старт
avdd33	I/O	Напряжение питания 3,3 В
vdd1	I/O	Напряжение питания цифровых блоков 1,0 В
dgnd	I/O	Шина нулевого потенциала цифровых блоков
agnd	I/O	Шина нулевого потенциала аналоговых блоков

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока аналого-цифрового преобразователя.

Таблица 1: Размеры блока.

Размеры	Значение	Единица измерения
Высота	415	МКМ
Ширина	410	МКМ

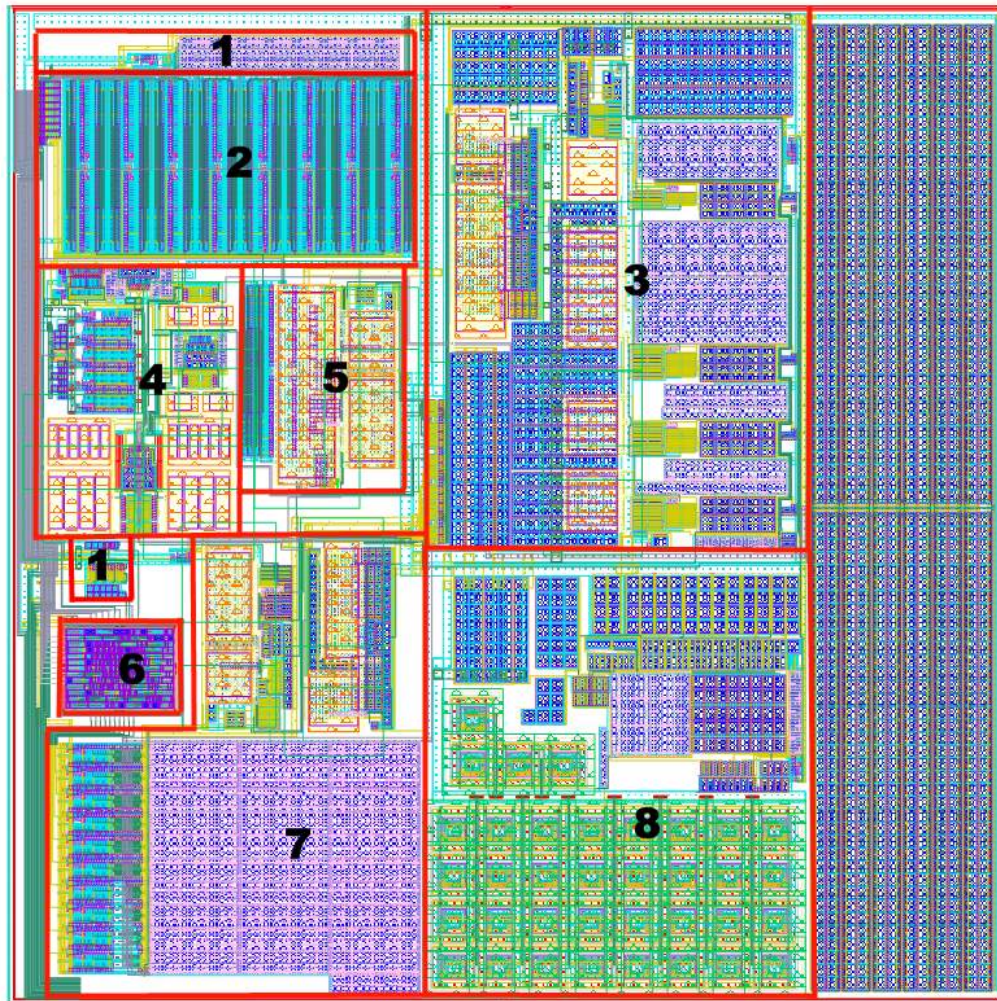


Рисунок 2: Общий вид топологии блока аналого-цифрового преобразователя

1. Вспомогательные блоки
2. Интерфейс
3. Схема генерации опорных напряжений
4. Компаратор напряжения
5. Устройство выборки и хранения
6. Управляющая логика
7. R2R ЦАП
8. Генератор 1,26 В

7 ЭКСПЛУАТАЦИОННЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ TSMC 90 нм CMOS MS
 Статус _____ подготовка к верификации
 Занимаемая площадь _____ 0,166 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{dd33} = +3,0 \div +3,6$ В, $V_{dd} = +0,95 \div +1,10$ В, $T = -40 \div +120$ °С.
 Типовые значения приведены для $V_{dd33} = +3,3$ В, $V_{dd} = +1,0$ В, $T = +27$ °С.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Внутреннее опорное напряжение	V_{ref}	-	1,241	1,264	1,287	В
Напряжение питания аналоговых блоков	V_{dd33}	-	3,0	3,3	3,6	В
Напряжение питания цифровых блоков	V_{dd}	-	0,95	1,0	1,10	В
Диапазон рабочих температур	T	-	-40	27	120	°С
Разрешение	N	-	-	10	-	бит
Диапазон входного сигнала	V_{in}	-	0,1		2,7	В
Тактовая частота	F_{clk}	-	-	12,5	-	МГц
Частота дискретизации	F_{conv}	-	-	$F_{clk}/12$	-	МГц
Время захвата	T_{acq}	-	-	160	-	нс
Ток потребления в режиме ожидания	I_{st}	-	-	1,6	-	мкА
Ток потребления в режиме горячего старта	I_{sth}	-	-	545	-	мкА
Аналоговая входная ёмкость	C_{in}	-	-	3	-	пФ
Потребляемая мощность	P_{diss}	-	5,4	7,8	10,8	мВт
Ток потребления	I_{out}	-	1,8	2,6	3,6	мА
Диапазон свободный от паразитных составляющих	SFDR	Частота входного сигнала 260 кГц, $F_{clk} = 12,5$ МГц	59	62	65	дБ
Отношение сигнала к шуму и гармоническим искажениям	SINAD		57	60	63	дБ
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	0,90	-	-	В
Входное напряжение низкого уровня	V_{IL}		-	-	0,2	В

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация