
14-разрядный 1-канальный АЦП с частотой выборки 100/125 Мвыб/с

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- TSMC MS КМОП 90 нм
- Разрядность 14-бит
- 1 канал
- Частота выборки 100 Мвыб/с или 125 Мвыб/с
- Использование отдельных шин питания: 1 В, 1,8 В для цифровой и 1,8 В для аналоговой частей схемы АЦП
- Низкое потребление в режиме ожидания (ток потребления < 10 мкА)
- Рассеиваемая мощность 506 мВт
- Динамический диапазон, свободный от паразитных составляющих, 73 дБ
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC

2 СФЕРА ПРИМЕНЕНИЯ

- Оптические сети
- Тестовое оборудование
- Ультразвуковые сканеры и системы цифрового формирования диаграммы направленности
- Телекоммуникационные системы
- Высококачественные системы обработки видеоизображения

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Блок АЦП построен на основе конвейерной архитектуры. Конвейерные АЦП состоят из последовательно соединенных каскадов. Каждый каскад, за исключением последнего, состоит из параллельного АЦП низкого разрешения, соединенного с ЦАП на основе переключаемых конденсаторов, и усилителя остатка (умножающий ЦАП). Усилитель остатка выполняет функцию усиления разницы между выходом параллельного ЦАП и его входом для передачи следующему каскаду. На выходе находится блок, выполняющий функцию выравнивания промежуточных данных каждого каскада, цифровой коррекции и параллельной передачи готового кода на выход.

АЦП состоит из схемы генерации опорных напряжений, низковольтного приёмника дифференциальной передачи синхросигнала, ядра. АЦП необходимы следующие напряжения питания: аналоговое в диапазоне 1,62 ÷ 1,98 В и цифровое в диапазоне 0,9 ÷ 1,1 В; 1,62 ÷ 1,98 В. Схема может работать в режиме ожидания обеспечивая минимальное энергопотребление. Также существует возможность настройки рабочих режимов АЦП с помощью цифровых регистров: регистр `ref<3:0>` управляет дифференциальными опорными напряжениями (`refp` и `refn`), регистр `iadc<3:0>` регулирует величину токов АЦП, регистр `ish<3:0>` регулирует ток схемы выборки и хранения.

Устройство выполнено по технологии TSMC MS КМОП 90 нм.

4 БЛОК-СХЕМА

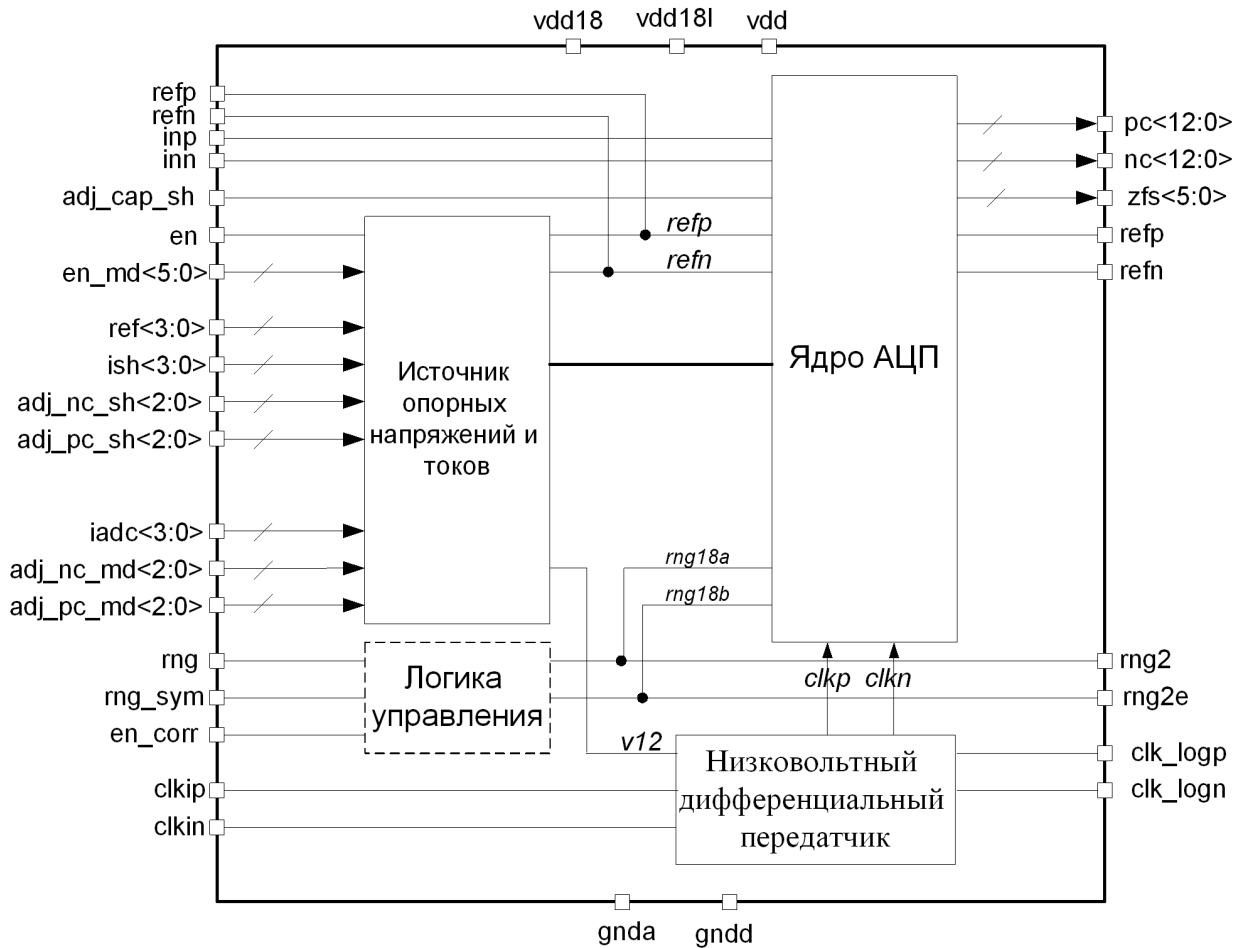


Рисунок 1: Блок-схема 100/125 Мвыб/с 14-разрядного АЦП

5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
en	I	Регистр включения устройства
en_corr	I	Регистр включения цифровой коррекции АЦП
en_md<5:0>	I	Тестовый вход
ref<3:0>	I	Регистр подстройки опорных напряжений для АЦП
ish<3:0>	I	Регистр управления током устройства выборки-хранения УВХ
iadc<3:0>	I	Регистр управления током 1,5-битных умножающих ЦАП
rng	I	Входной псевдослучайный цифровой сигнал
rng_sym	I	Регистр подстройки компараторов
adj_nc_sh<2:0>	I	Тестовые входы
adj_pc_sh<2:0>		
adj_cap_sh		
adj_nc_md<3:0>		
adj_pc_md<3:0>		
clkip	I	Дифференциальный вход тактового сигнала
clkin		
inp	I	Аналоговый дифференциальный вход
inn		
refp	O	Опорный дифференциальный сигнал
refn		
pc<12:0>	O	Дифференциальная шина выходных данных
nc<12:0>		
clk_logp	O	Дифференциальный выход тактового сигнала
clk_logn	O	
rng2	O	Выходные псевдослучайные сигналы для цифровой коррекции
rng2e		
zfs<5:0>	O	Выход данных для цифровой коррекции
vdd18	I/O	Напряжение питания аналоговых блоков 1,8 В
vdd18l	I/O	Напряжение питания цифровых блоков 1,8 В
vdd	I/O	Напряжение питания цифровых блоков 1 В
gnda	I/O	Шина нулевого потенциала аналоговых блоков
gndd	I/O	Шина нулевого потенциала цифровых блоков

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока аналого-цифрового преобразователя.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	2340	МКМ
Ширина	530	МКМ

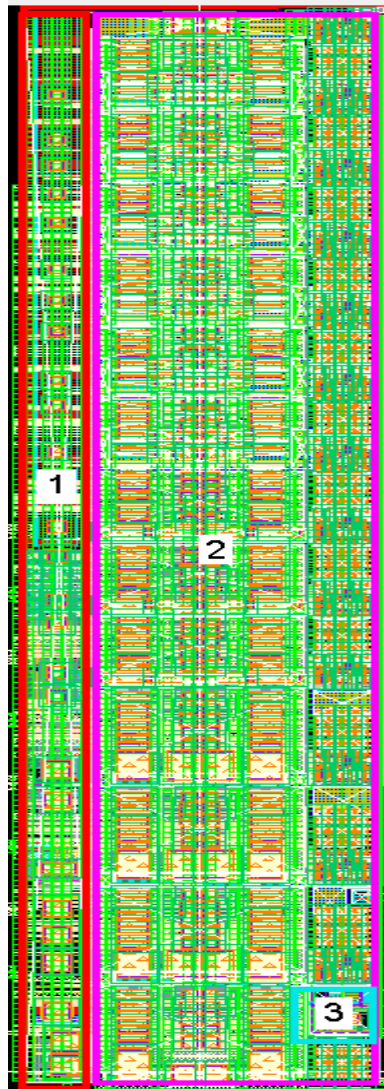


Рисунок 2: Общий вид топологии блока высокоскоростного АЦП

1. Источник опорных токов и напряжений
2. Ядро АЦП
3. Низковольтный дифференциальный передатчик

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ TSMC MS CMOS 90 нм
 Статус _____ верифицирован в кремнии
 Занимаемая площадь _____ 1,24 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{dd18}=1,62 \div 1,98$ В, $V_{dd}=0,9 \div 1,1$ В и $T=-40 \div +125^{\circ}\text{C}$, если иное не оговорено; типовые значения при $V_{dd18} = 1,8$ В, $V_{dd}=1,0$ В и $T = +27^{\circ}\text{C}$

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания аналоговых блоков	V_{dd18}	-	1,62	1,8	1,98	В
Напряжение питания цифровых блоков	V_{dd18l}	-	1,62	1,8	1,98	В
Напряжение питания цифровых блоков	V_{dd}	-	0,9	1	1,1	В
Ток потребления	$I_{cnVdd18}$	V_{dd18}	-	263	-	мА
	$I_{cnVdd18l}$	V_{dd18l}	-	17,7	-	мА
	I_{cnVdd}	V_{dd}	-	25	-	мкА
Ток в режиме ожидания	I_{st}	-	-	10	-	мкА
Разрядность	N	-	-	14	-	бит
Частота дискретизации	F_S	-	-	100/125	-	Мвыб/с
Ширина полосы сигнала	B	-	-	355	-	МГц
Диапазон рабочих температур	T	-	-40	27	125	$^{\circ}\text{C}$
Максимальная амплитуда входного сигнала	A_{IN}	-	1	1,024	1,04	В
Опорные напряжения для входного сигнала	V_{REF+}	-	1,31	1,42	1,51	В
	V_{REF-}	-	0,31	0,4	0,47	
Размах напряжения на дифференциальных входах	$A_{IN\ d\ p-p}$	-	-	2	-	В
Постоянная составляющая на аналоговых входах	U	-	$0,5V_{dd18}$ -100мВ	$0,5V_{dd18}$	$0,5V_{dd18}$ +100мВ	В
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	0,7	-	-	В
Входное напряжение низкого уровня	V_{IL}		-	-	0,3	В

7.3 ДИНАМИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
$F_s = 100\text{МГц}$						
Коэффициент нелинейных искажений	THD	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	-71 -58,5 -61	-73	дБ
Отношение сигнал/шум	SNR	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	62 60,5 58,1	64	дБ
Динамический диапазон, свободный от паразитных составляющих	SFDR	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	73,3 58,9 62,8	76	дБ
Отношение сигнал/шум и искажения	SINAD	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	61,5 56,3 56,3	63	дБ
$F_s = 125\text{МГц}$						
Коэффициент нелинейных искажений	THD	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	-65,2 -59,7 -51,8	-70	дБ
Отношение сигнал/шум	SNR	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	59,2 56,1 54,8	63	дБ
Динамический диапазон, свободный от паразитных составляющих	SFDR	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	66,3 60,3 55,3	71	дБ
Отношение сигнал/шум и искажения	SINAD	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	58,3 54,5 50	61	дБ

8 ТИПОВЫЕ ХАРАКТЕРИСТИКИ

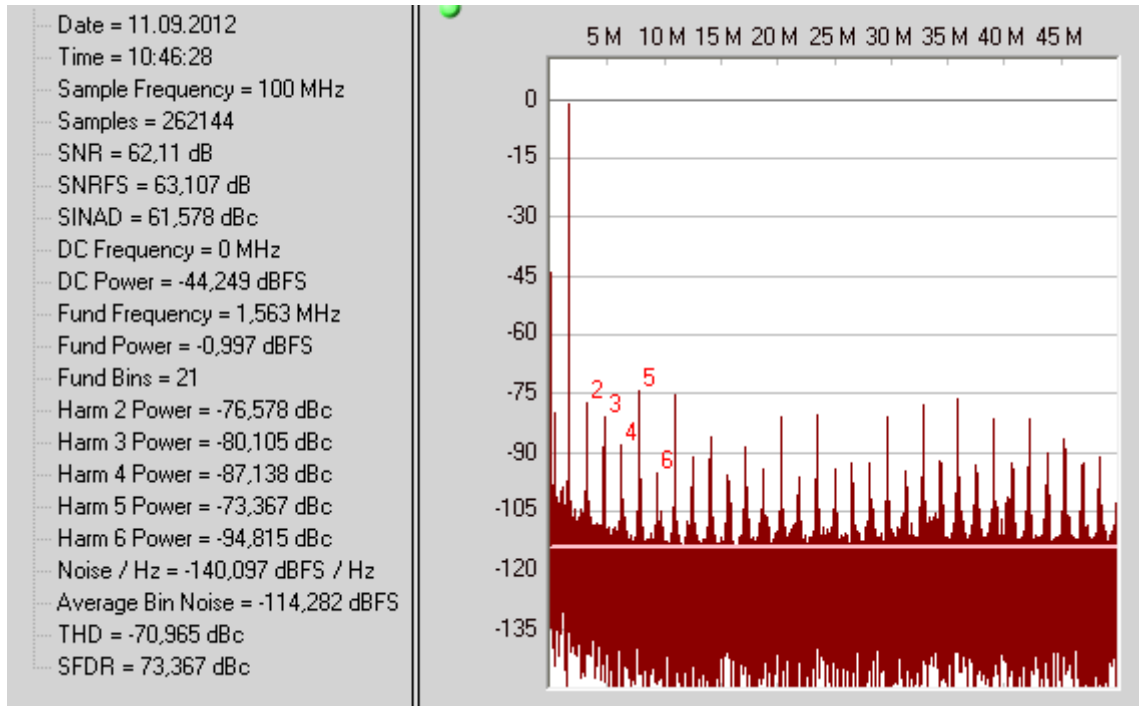


Рисунок 3: БПФ при $F_{IN} = 1,5625\text{МГц}$, $F_S = 100\text{ Мвыб/с}$

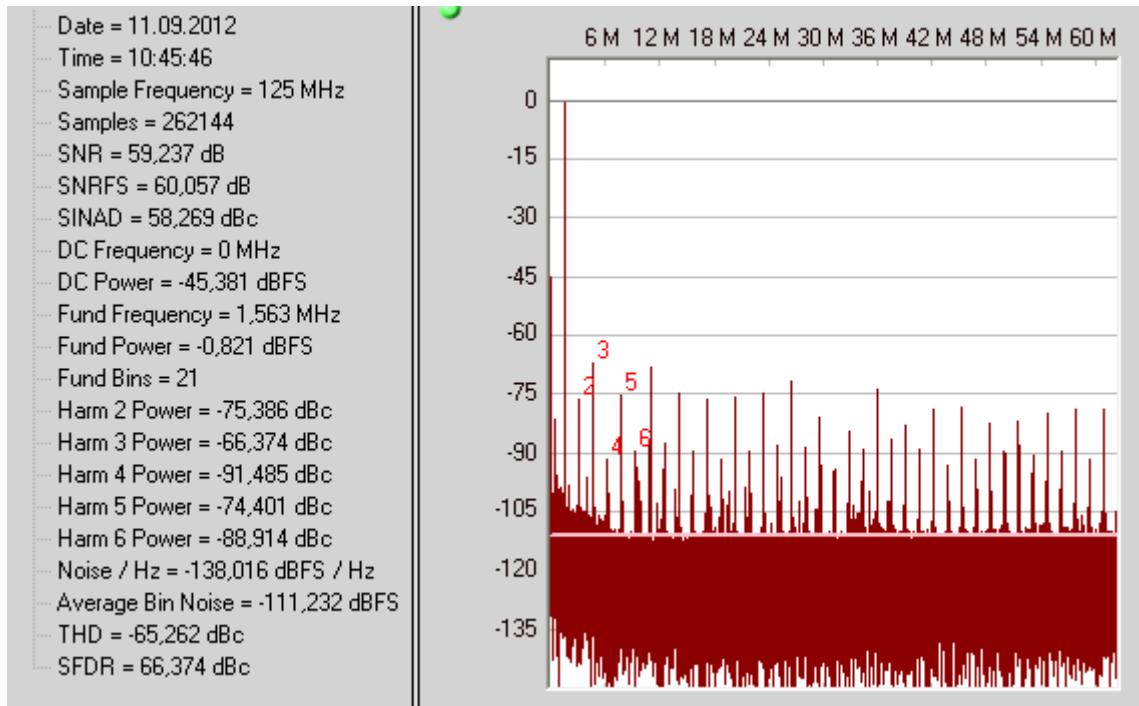
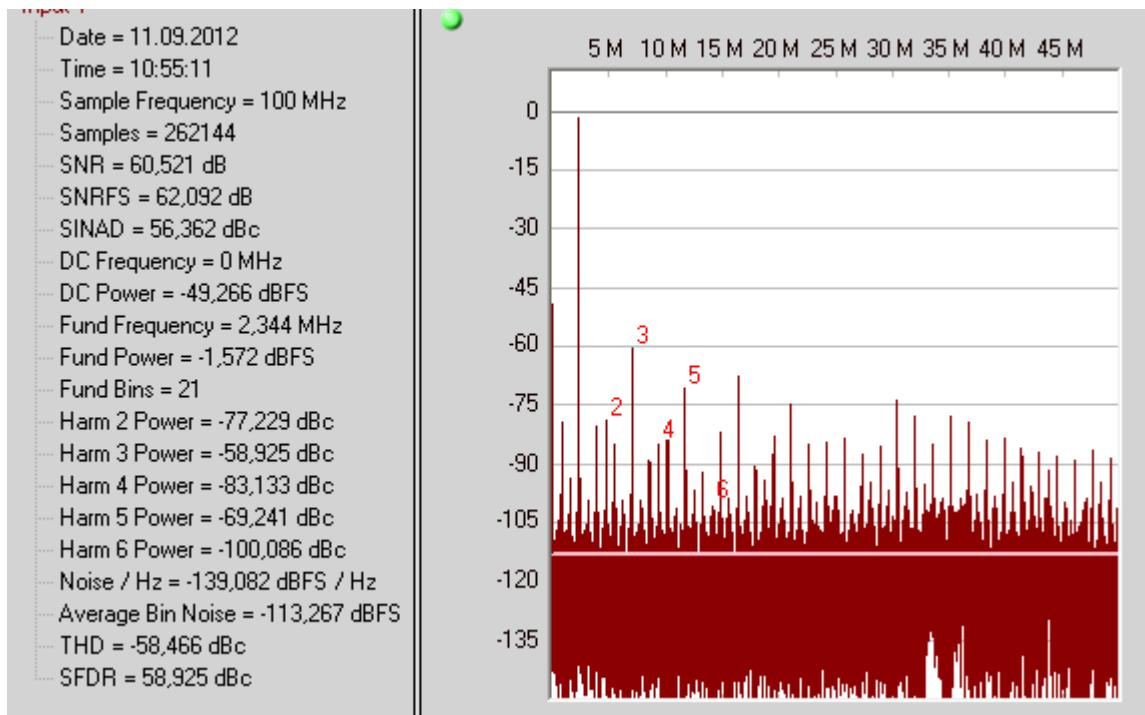
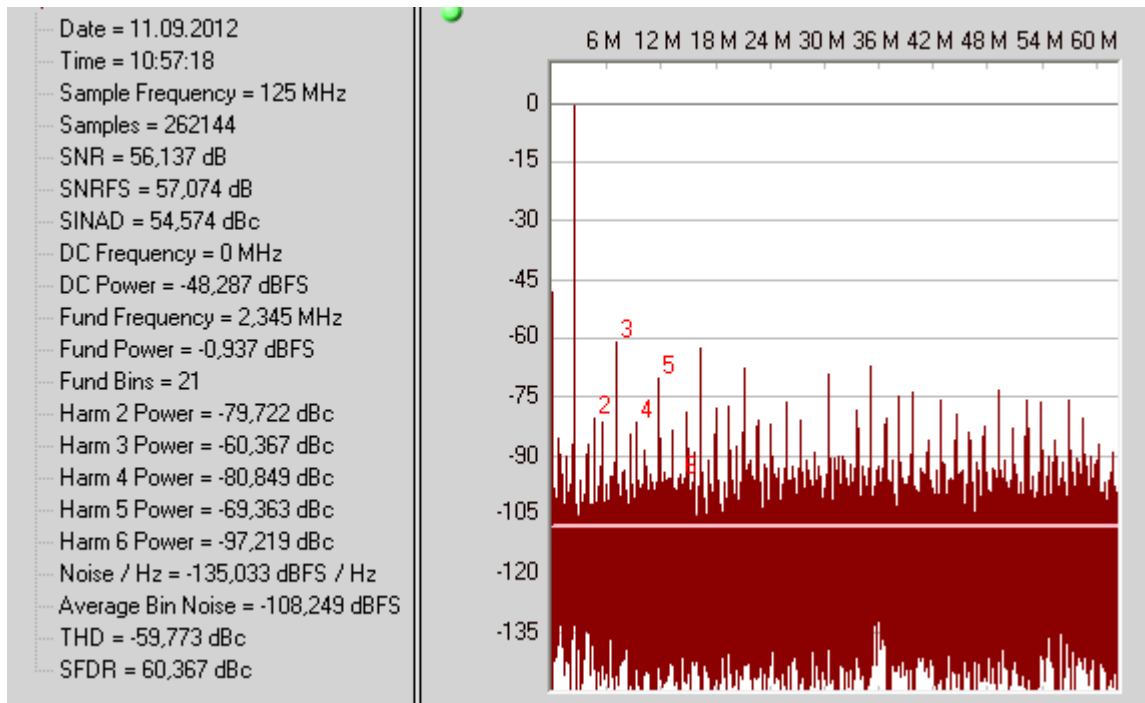


Рисунок 4: БПФ при $F_{IN} = 1,5625\text{МГц}$, $F_S = 125\text{ Мвыб/с}$


 Рисунок 5: БПФ при $F_{IN} = 2,34375\text{МГц}$, $F_S = 100\text{ Мвыб/с}$

 Рисунок 6: БПФ при $F_{IN} = 2,34375\text{МГц}$, $F_S = 125\text{ Мвыб/с}$

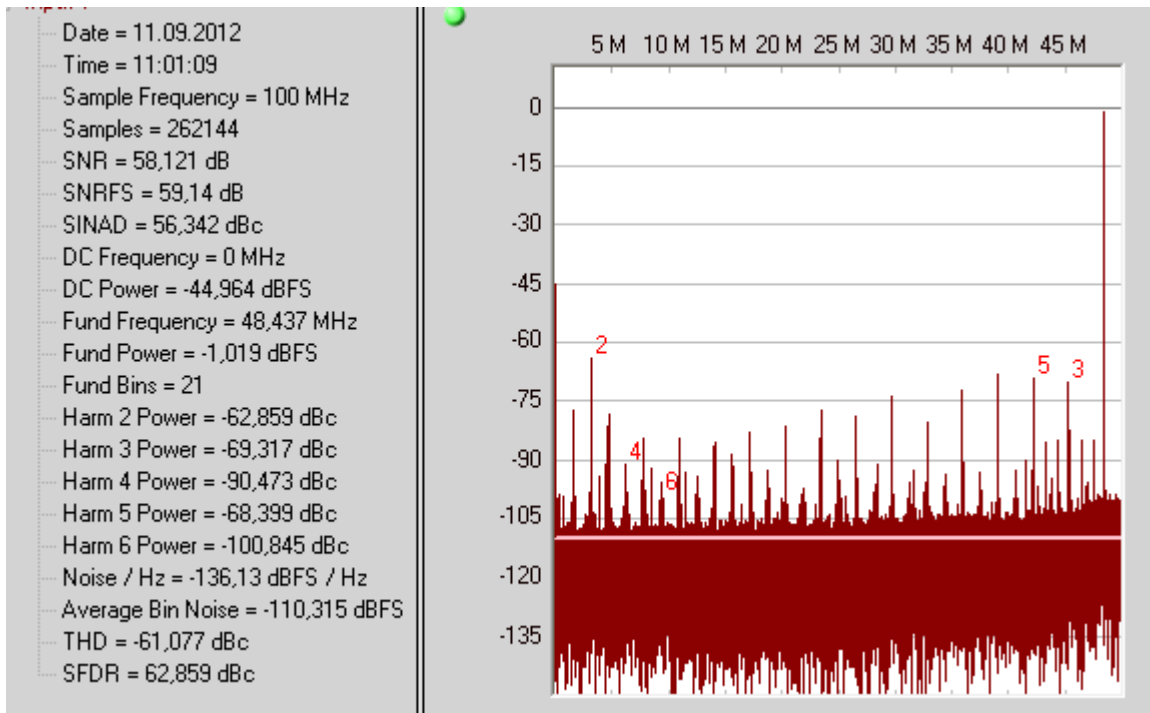


Рисунок 7: БПФ при $F_{IN} = 51,5625$ МГц, $F_S = 100$ Мвыб/с

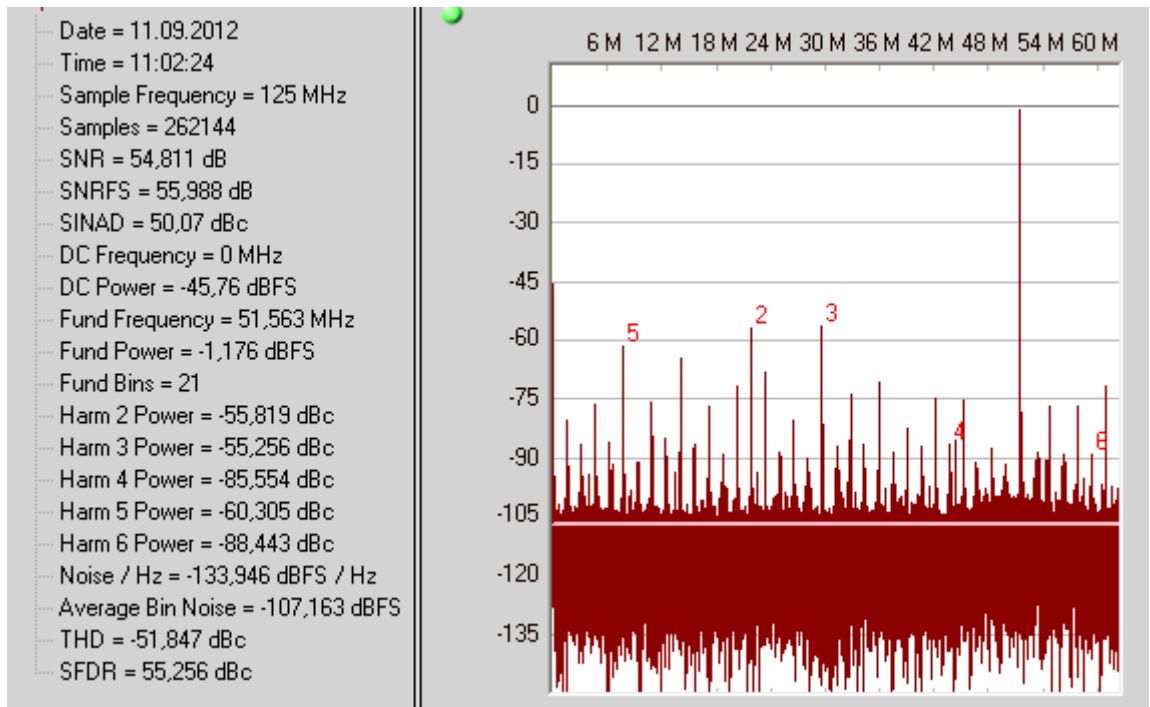


Рисунок 8: БПФ при $F_{IN} = 51,5625$ МГц, $F_S = 125$ Мвыб/с

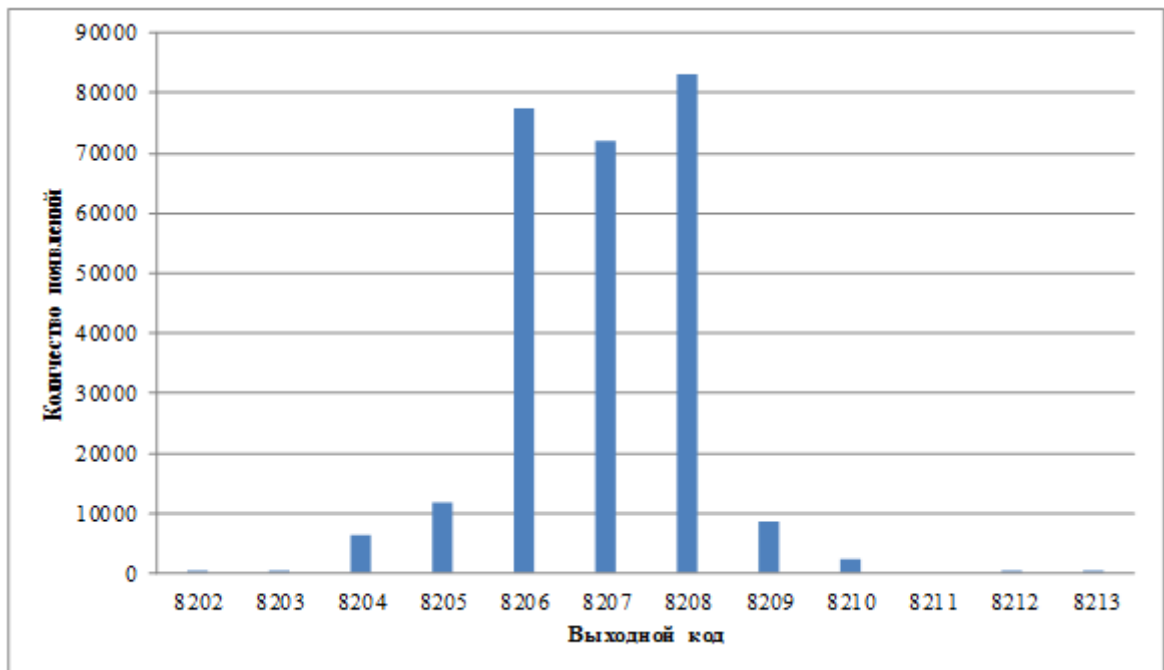


Рисунок 9: Гистограмма выходного кода АЦП с закороченными входами при $F_s = 100$ Мвыб/с

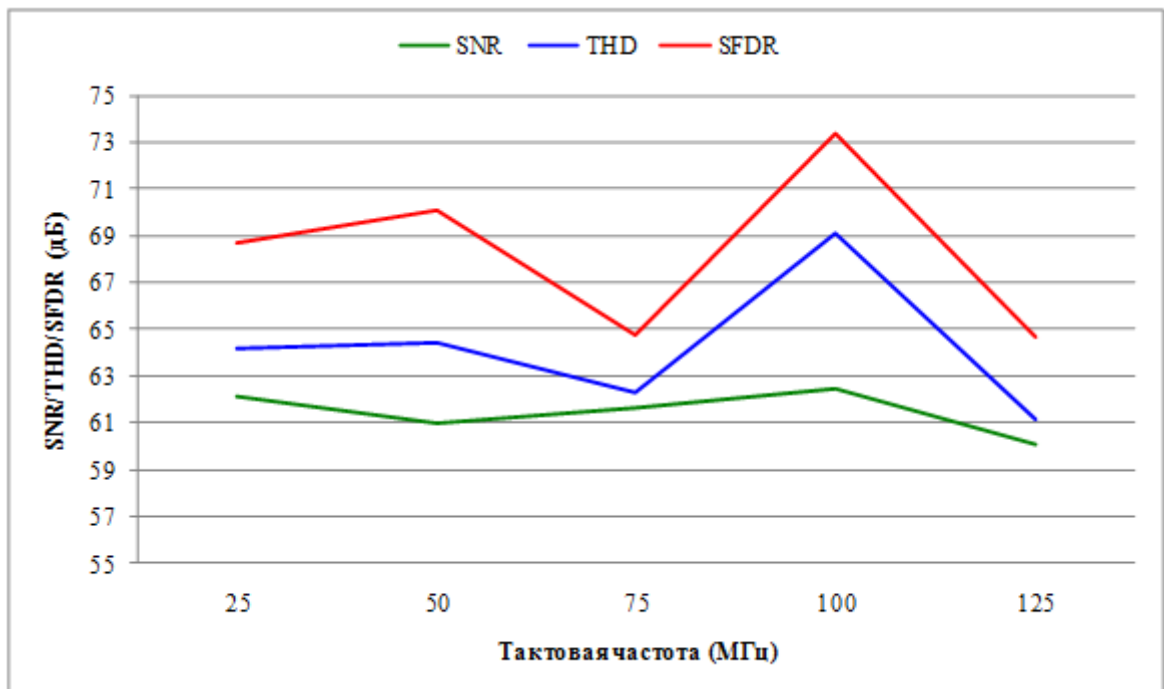


Рисунок 10: Графики зависимости SNR, THD и SFDR от тактовой частоты при $F_{IN} = 1,5625$ МГц, -1 дБ FS

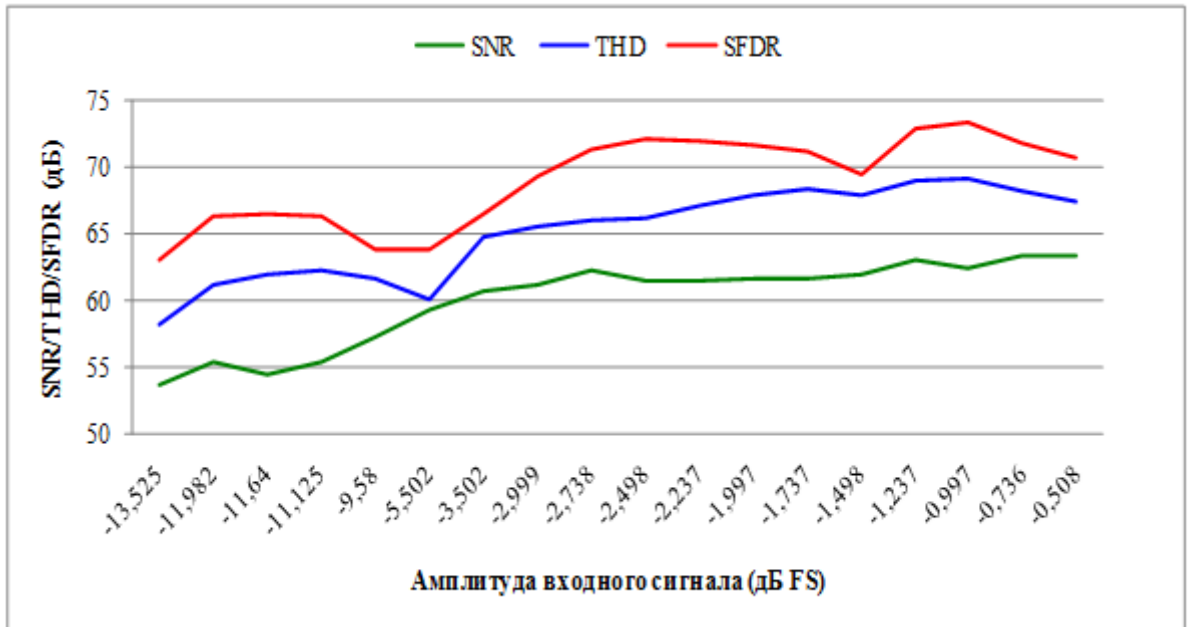


Рисунок 11: Графики зависимости SNR, THD и SFDR от амплитуды входного сигнала при $F_{IN} = 1,5625$ МГц, $F_S = 100$ Мвыб/с

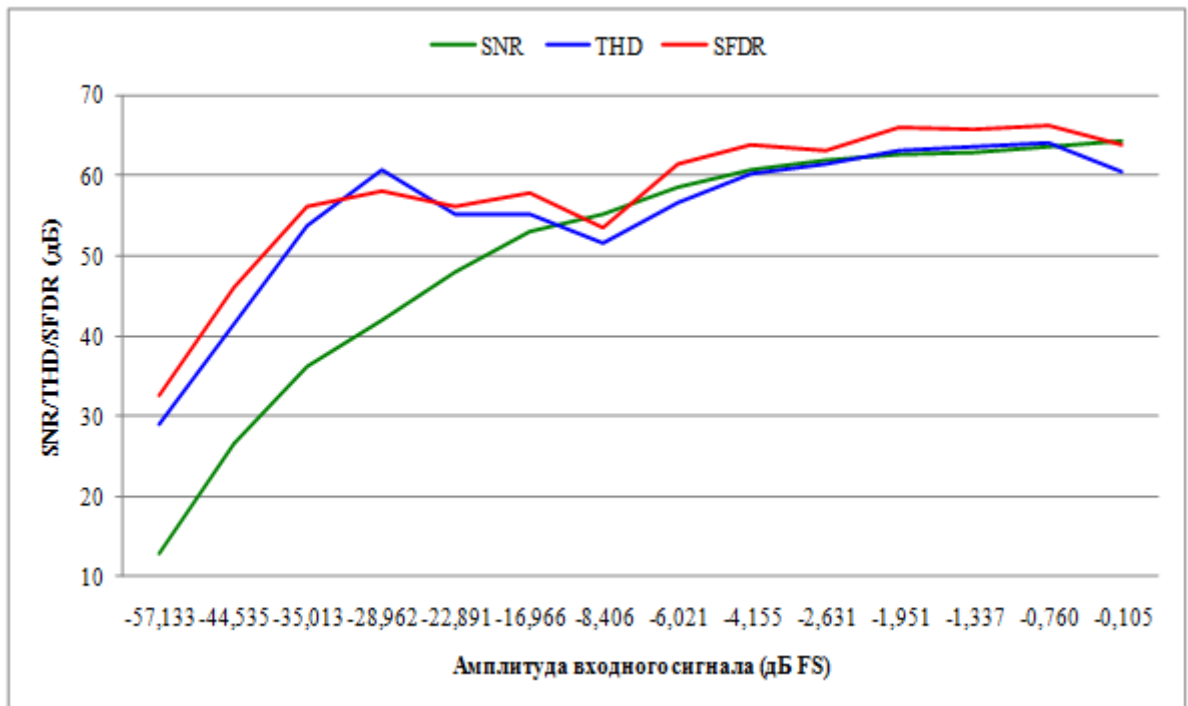


Рисунок 12: Графики зависимости SNR, THD и SFDR от амплитуды входного сигнала при $F_{IN} = 1,5625$ МГц, $F_S = 100$ Мвыб/с

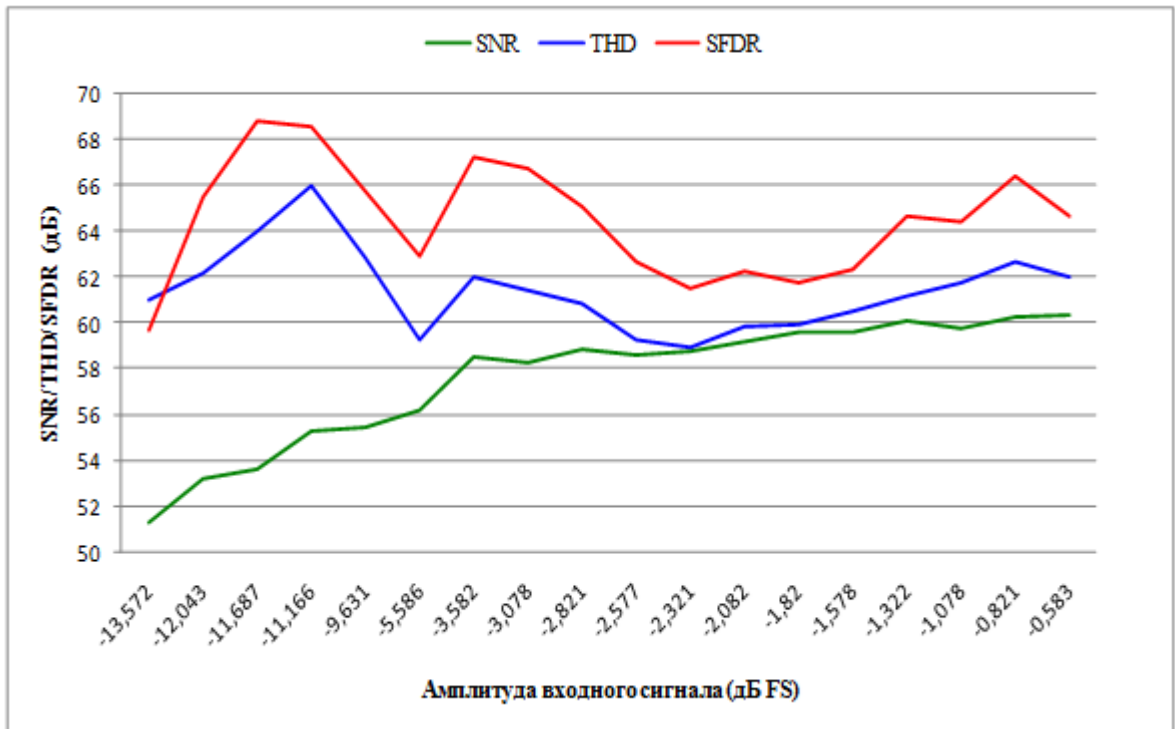


Рисунок 13: Графики зависимости SNR, THD и SFDR от амплитуды входного сигнала при $F_{IN} = 1,5625$ МГц, $F_s = 125$ Мвыб/с

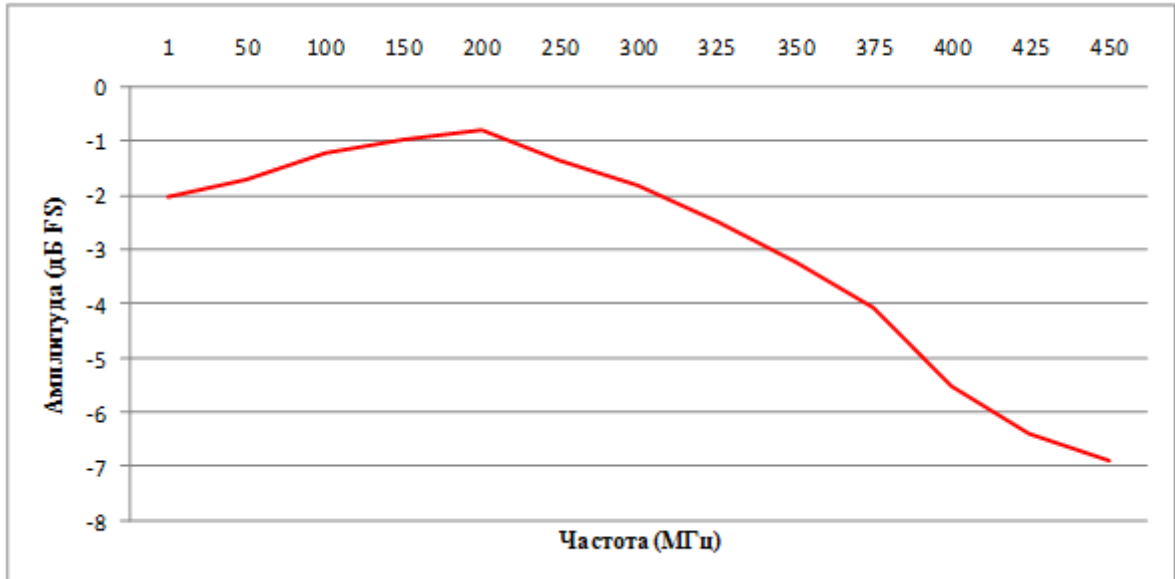


Рисунок 14: Полоса пропускания УВХ при $F_s = 100$ Мвыб/с

9 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация

СПИСОК ИЗМЕНЕНИЙ

1. От версии 1.0:
 - Исправлена разрядность цифровых регистров управления в функциональном описании
 - Изменение таблицы с электрическими характеристиками, раздел 7.2
 - Добавлен раздел 7.4 «Типовые характеристики» с результатами тестирования
2. От версии 1.1:
 - Изменение таблицы с электрическими характеристиками, раздел 7.2