

---

## 50 MSPS 14-разрядный АЦП

---

### СПЕЦИФИКАЦИЯ

#### 1 ОСОБЕННОСТИ

- Технология TSMC 90 нм MS КМОП
- Разрядность 14-бит
- 1 канал
- Частота дискретизации 50 МГц
- Использование отдельных шин питания: 1 В, 1,8 В для цифровой и 1,8 В для аналоговой частей схемы АЦП
- Низкое потребление в режиме ожидания (ток потребления < 5 мкА)
- Рассеиваемая мощность 171 мВт
- Динамический диапазон, свободный от паразитных составляющих, 77 дБ
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC

#### 2 СФЕРА ПРИМЕНЕНИЯ

- Оптические сети
- Тестовое оборудование
- Ультразвуковые сканеры и системы цифрового формирования диаграммы направленности
- Телекоммуникационные системы
- Высококачественные системы обработки видеоизображения

#### 3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Блок АЦП построен по конвейерной архитектуре. Конвейерные АЦП состоят из последовательно соединенных каскадов. Каждый каскад, за исключением последнего, состоит из параллельного АЦП низкого разрешения, соединенного с ЦАП на основе переключаемых конденсаторов, и усилителя остатка (умножающий ЦАП). Усилитель остатка выполняет функцию усиления разницы между выходом параллельного ЦАП и его входом для передачи следующему каскаду. На выходе находится блок, выполняющий функцию выравнивания промежуточных данных каждого каскада, цифровой коррекции и параллельной передачи готового сигнала на выход.

Данный АЦП состоит из схемы генерации опорных напряжений, низковольтного приёмника дифференциальной передачи синхросигнала, ядра и выходного блока выравнивания и формирования данных. АЦП необходимы следующие напряжения питания: аналоговое в диапазоне 1,62 ÷ 1,98 В, цифровое в диапазоне 0,9 ÷ 1,1 В, 1,62 ÷ 1,98 В. Схема может работать в режиме ожидания, обеспечивая минимальное энергопотребление. Также существует возможность настройки рабочих режимов АЦП с помощью цифровых регистров: регистр `ref<3:0>` управляет дифференциальными опорными напряжениями (`refp` и `refn`), регистр `iadc<2:0>` регулирует уровень токов АЦП, регистр `ish<2:0>` регулирует ток схемы выборки/хранения.

Устройство выполнено по технологии TSMC 90 нм MS КМОП.

## 4 БЛОК-СХЕМА

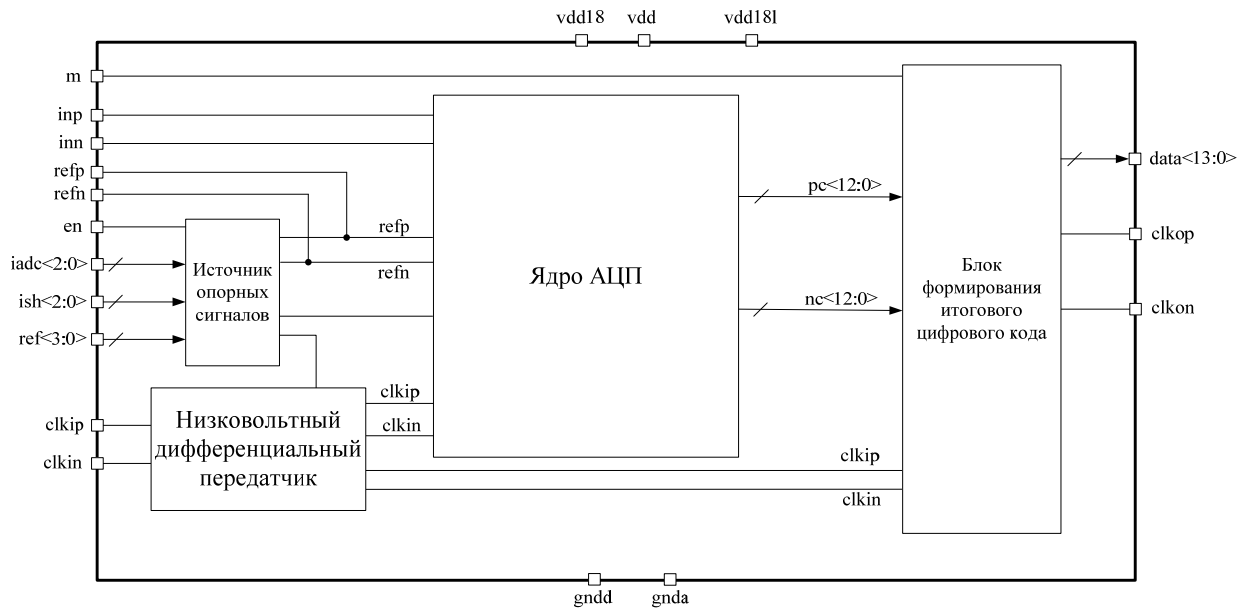


Рисунок 1: Блок-схема 50 MSPS 14-разрядный АЦП

## 5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
inp	I	Аналоговый дифференциальный вход
inn		
clkp	I	Дифференциальный вход тактового сигнала
clkn		
ref<3:0>	I	Регистр настройки опорного сигнала
iadc<2:0>	I	Регистр настройки тока АЦП
ish<2:0>	I	Регистр настройки тока схемы выборки
m	I	Регистр выбора типа выходного кода
en	I	Включение устройства
data<13:0>	O	Шина выходных данных
clkop	O	Дифференциальный выход тактового сигнала
clkon		
refp	I/O	Опорный дифференциальный сигнал
refn		
vdd18	I/O	Напряжение питания аналоговых блоков 1,8 В
vdd18l	I/O	Напряжение питания аналоговых блоков 1,8 В
vdd	I/O	Напряжение питания цифровых блоков 1 В
gnda	I/O	Шина нулевого потенциала аналоговых блоков
gndd	I/O	Шина нулевого потенциала цифровых блоков

## 6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока аналого-цифрового преобразователя.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	1807	мкм
Ширина	465	мкм

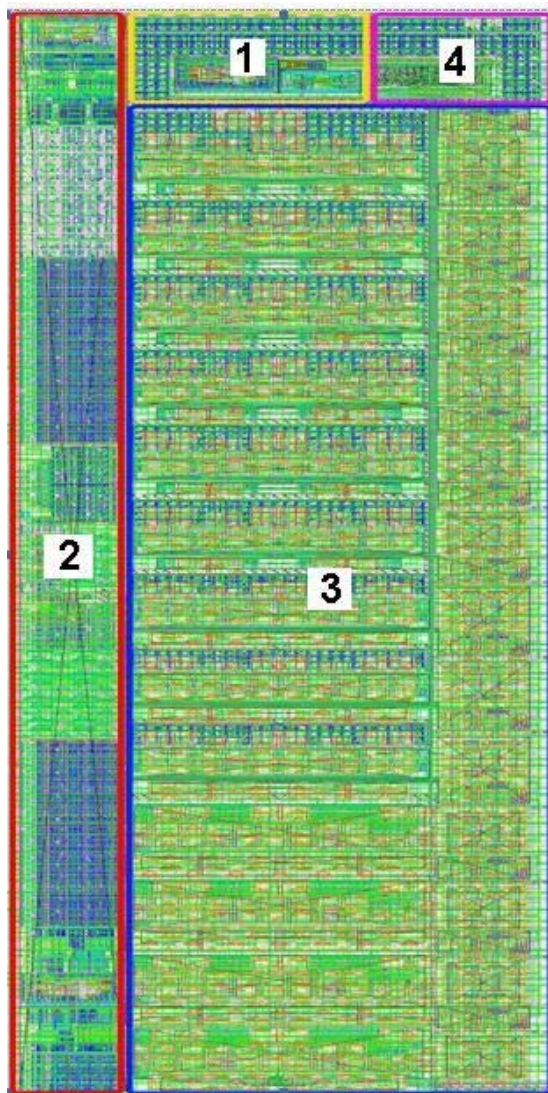


Рисунок 2: Общий вид топологии блока высокоскоростного АЦП.

1. Формирователь тактовой частоты
2. Источник опорных напряжений и токов
3. Ядро АЦП
4. Блок формирования итогового цифрового кода

## 7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

### 7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология \_\_\_\_\_ TSMC 90 нм MS КМОП  
 Статус \_\_\_\_\_ верифицирован в кремнии  
 Занимаемая площадь \_\_\_\_\_ 0,84 мм<sup>2</sup>

### 7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для  $V_{dd18} = 1,62 \div 1,98$  В,  $V_{dd} = 0,9 \div 1,1$  В и  $T = -40 \div +125^\circ\text{C}$ , если иное не оговорено; типовые значения при  $V_{dd18} = 1,8$  В,  $V_{dd} = 1,0$  В и  $T = +27^\circ\text{C}$ .

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Диапазон рабочих температур	T	-	-40	27	+125	°C
Напряжение питания аналоговых блоков	$V_{dd18}$	-	1,62	1,8	1,98	В
Напряжение питания цифровых блоков	$V_{dd18I}$	-	1,62	1,8	1,98	В
Напряжение питания цифровых блоков	$V_{dd}$	-	0,9	1,0	1,1	В
Разрядность	N	-	-	14	-	бит
Частота дискретизации	$F_S$	-	-	50	-	МГц
Ток в режиме ожидания	$I_{st}$	-	-	5	-	мкА
Ток потребления	$I_{cnVdd18}$	$V_{dd18}$	82	90	97,5	мА
	$I_{cnVdd18I}$	$V_{dd18I}$	4,1	5	6	мА
	$I_{cnVdd}$	$V_{dd}$	-	100	-	мкА
Максимальная амплитуда входного сигнала	$A_{IN}$	-	1,02	1,024	1,03	В
Опорные напряжения для входного сигнала	$V_{REF+}$	-	1,31	1,43	1,51	В
	$V_{REF-}$		0,37	0,41	0,44	В
Размах напряжения на дифференциальных входах	$A_{IN\ d\ p-p}$	-	-	2	-	В
Постоянная составляющая на аналоговых входах	U	-	$0,5V_{dd18}$ -100мВ	$0,5V_{dd18}$	$0,5V_{dd18}$ +100мВ	В
Входное напряжение высокого уровня	$V_{IH}$	Для цифровых входов	0,7	-	-	В
Входное напряжение низкого уровня	$V_{IL}$		-	-	0,3	В

### 7.3 ДИНАМИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Коэффициент нелинейных искажений	THD	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	-76 -68 -58,9	-80	дБ
Отношение сигнал/шум	SNR	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	64 62 52,8	67	дБ
Динамический диапазон, свободный от паразитных составляющих	SFDR	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	77 68,1 59,9	82	дБ
Отношение сигнал/шум и искажения	SINAD	$F_{IN} = 1,5625\text{МГц}$ $F_{IN} = 2,34375\text{МГц}$ $F_{IN} = 51,5625\text{МГц}$	–	63,8 61 51,8	65	дБ

## 8 ТИПОВЫЕ ХАРАКТЕРИСТИКИ

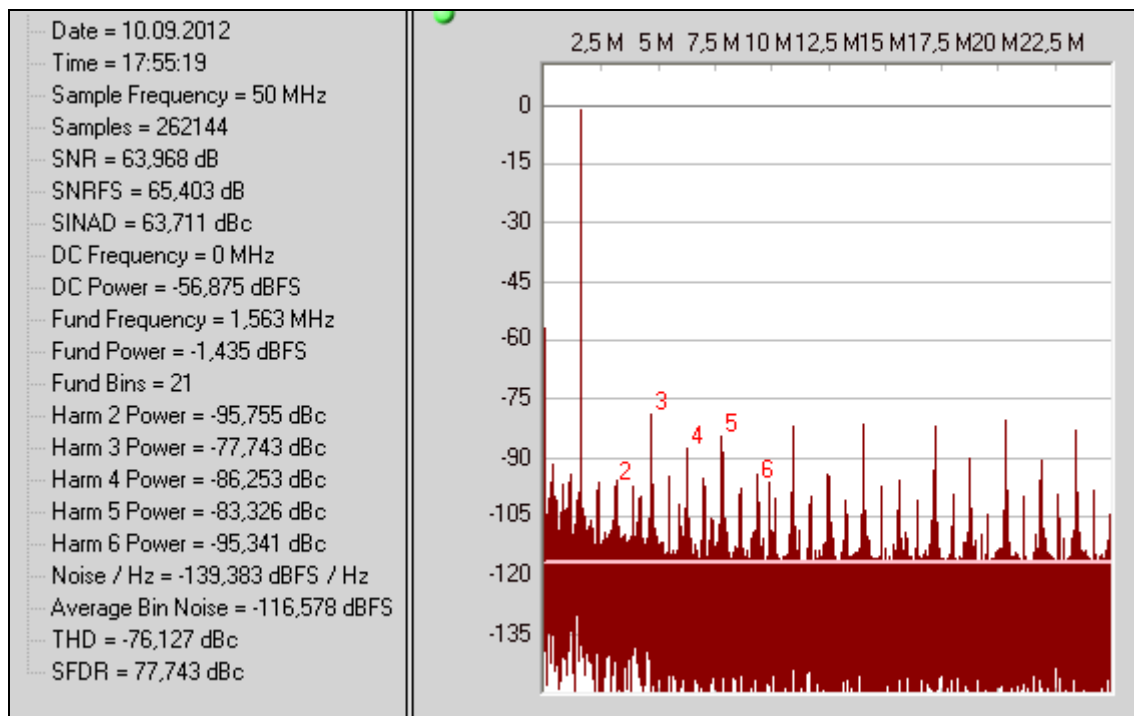


Рисунок 3: БПФ при  $F_{IN} = 1,5625\text{МГц}$ ,  $F_S = 50\text{ МГц}$ .

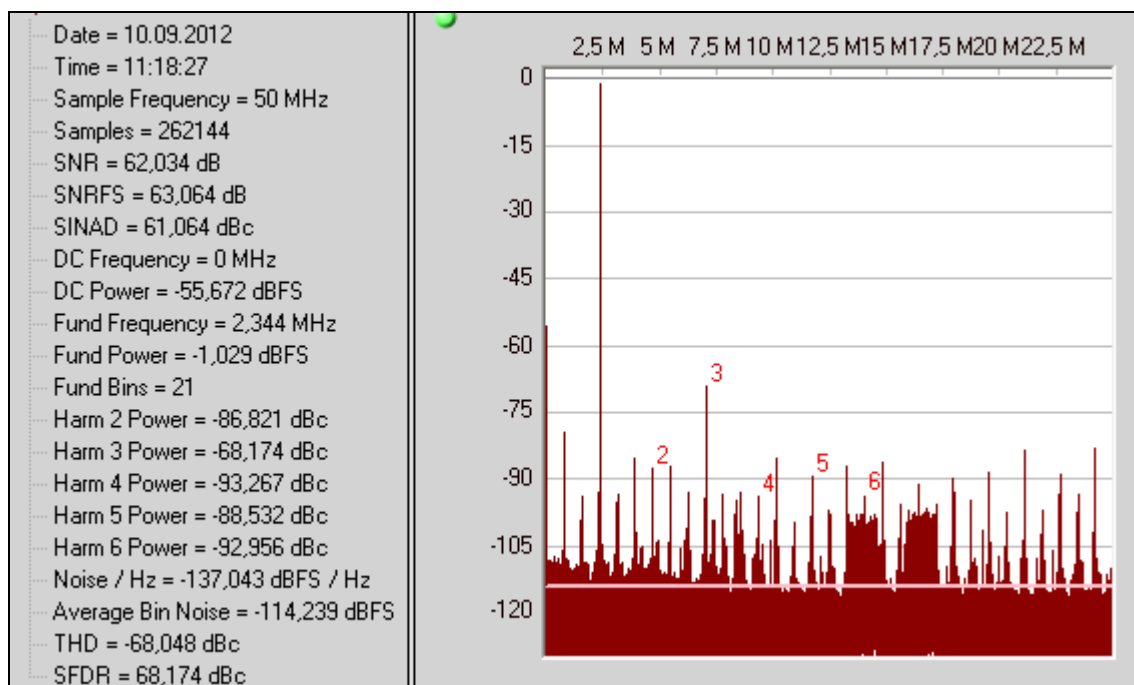


Рисунок 4: БПФ при  $F_{IN} = 2,34375\text{МГц}$ ,  $F_S = 50\text{ МГц}$ .

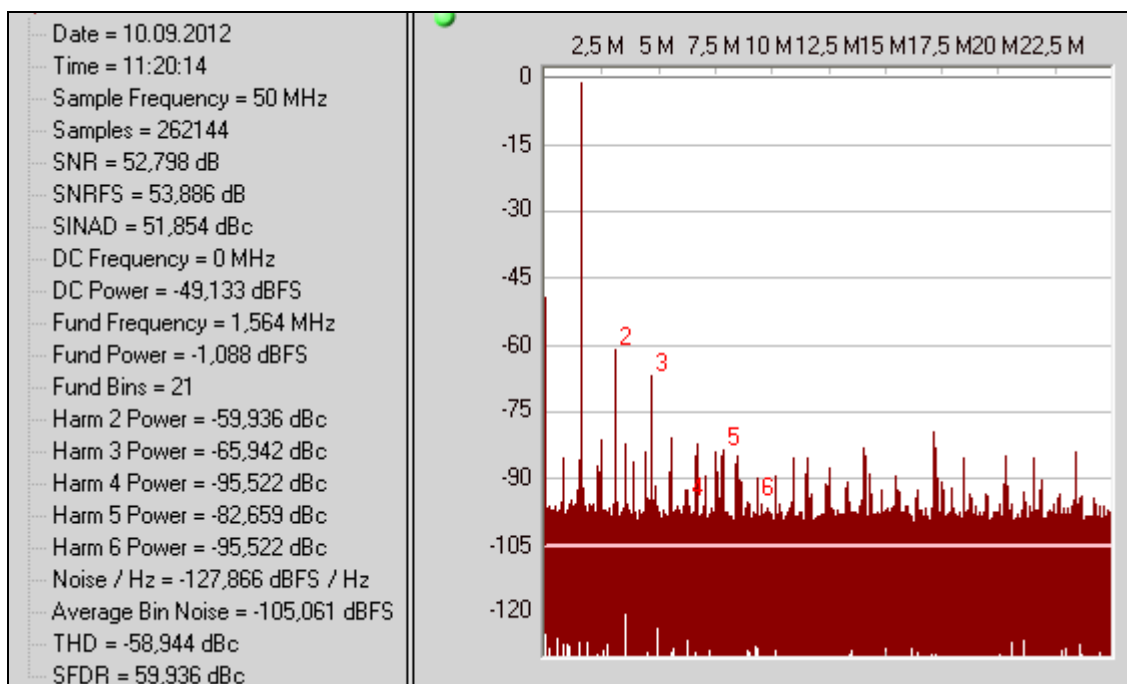


Рисунок 5: БПФ при  $F_{IN} = 51,5625\text{МГц}$ ,  $F_S = 50\text{МГц}$ .

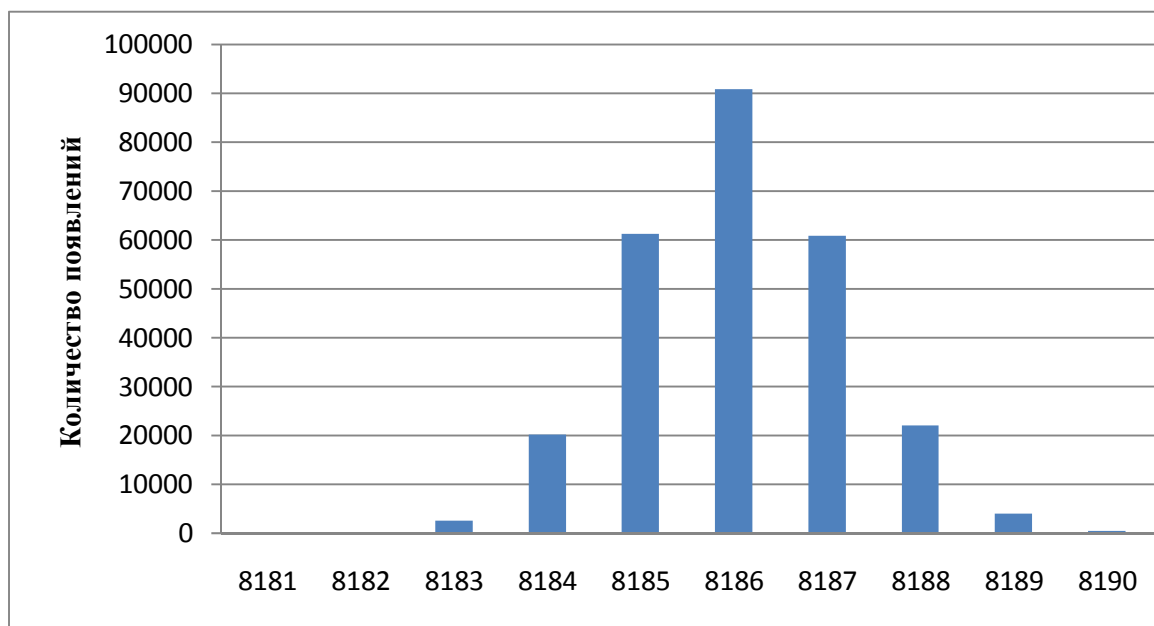


Рисунок 6: Гистограмма выходного кода АЦП при закороченных входах.



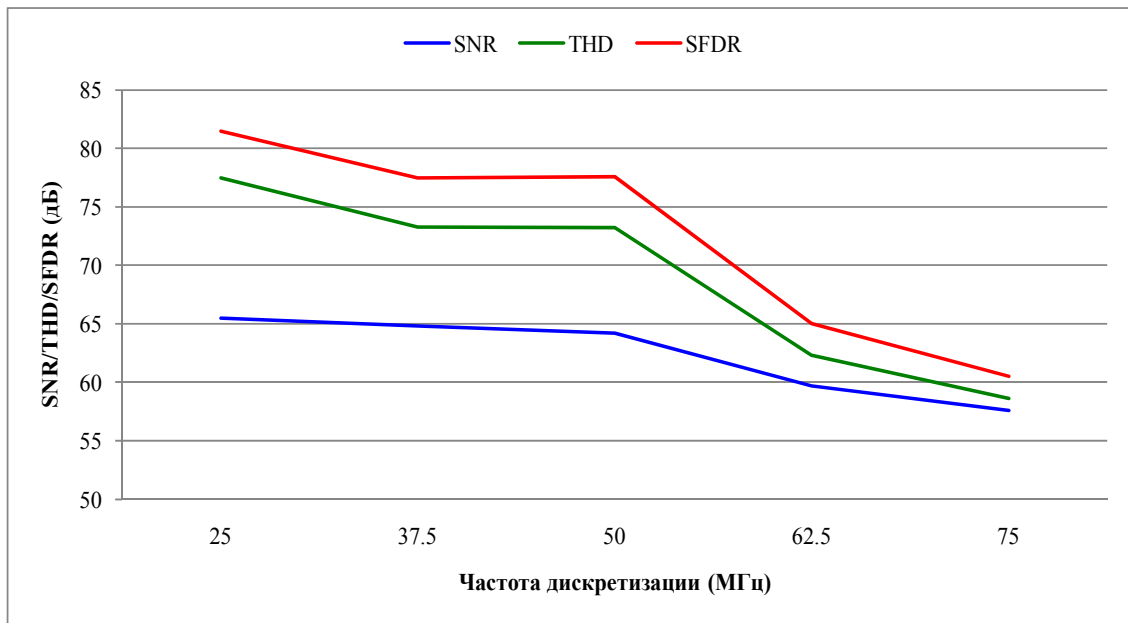


Рисунок 7: Графики зависимости SNR, THD и SFDR от тактовой частоты при  $F_{IN} = 1,5625\text{МГц}$ ,  $-1\text{ дБ FS}$ .

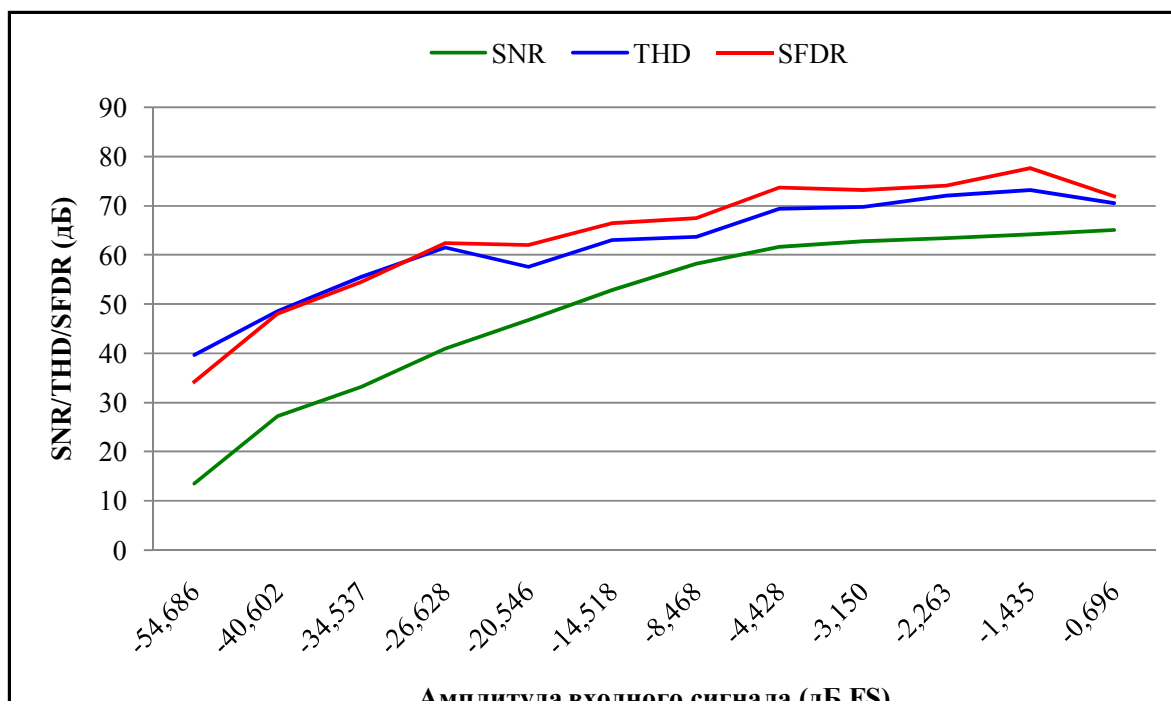
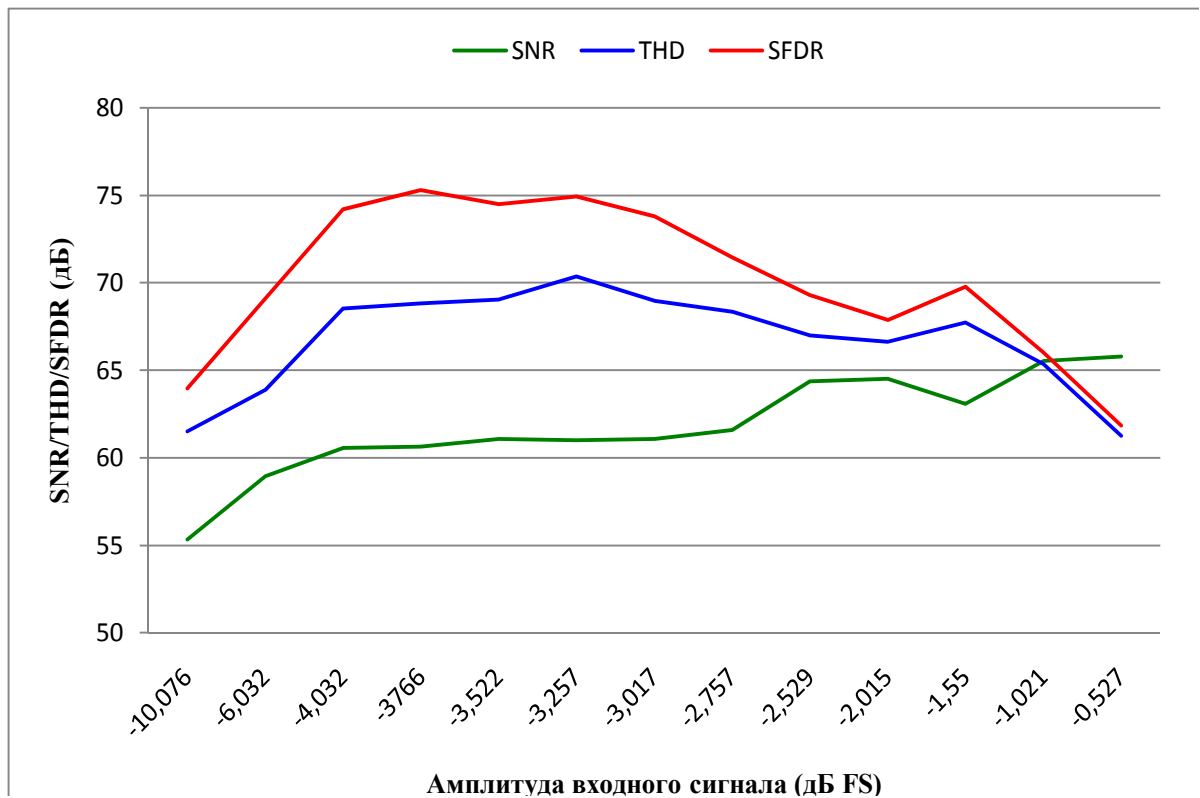
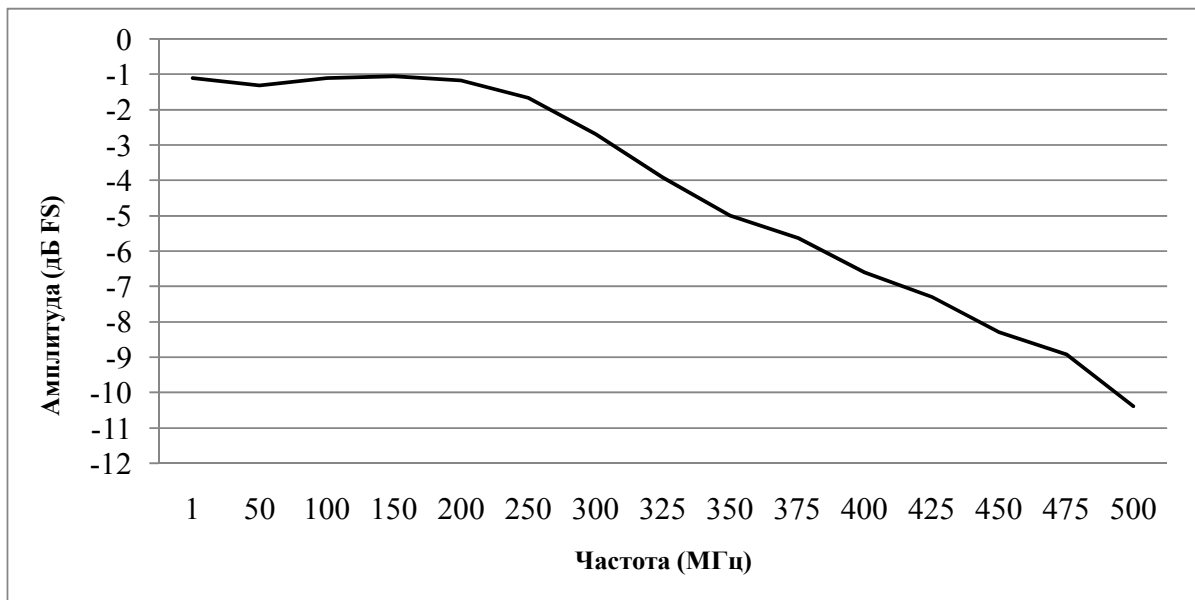


Рисунок 8: Графики зависимости SNR, THD и SFDR от амплитуды входного сигнала.  $F_{IN} = 1,5625\text{МГц}$ ,  $F_S = 50\text{ МГц}$ .



**Рисунок 9:** Графики зависимости SNR, THD и SFDR от амплитуды входного сигнала.  
 $F_{IN} = 1,5625\text{МГц}$ ,  $F_S = 50\text{МГц}$ .



**Рисунок 10:** Полоса пропускания УВХ при  $F_S = 50\text{МГц}$ .

## 9 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Топологическое решение (layout) или «черный ящик»
- Топологическая схема с экстрагированными параметрами (extracted view, опциональный)
- GDSII
- Схемы для тестирования с сохранёнными конфигурациями (опциональный)
- Документация

## СПИСОК ИЗМЕНЕНИЙ

1. От версии 1.0:
  - Исправлена разрядность цифровых регистров управления в функциональном описании
  - Изменение таблицы с электрическими характеристиками, раздел 7.2
  - Добавлен раздел 7.4 «Типовые характеристики» с результатами тестирования
2. От версии 1.1:
  - Изменение таблицы с электрическими характеристиками, раздел 7.2