
2-разрядный 2-канальный АЦП специального назначения с частотой выборки 100 Мвыб/с

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- Выполнено по технологии UMC КМОП 0,18 мкм
- 2-канальный АЦП специального назначения с мажоритарной логикой
- Разрядность 2-бит
- Подстройка уровней сравнения
- Подстройка постоянной составляющей шкалы уровней сравнения
- Напряжение питания: аналоговая часть – 3,3 В; цифровая часть – 1,8 В
- Тройное резервирование компараторов
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, AMS, Vanguard, SilTerra

2 СФЕРА ПРИМЕНЕНИЯ

- Корреляторы
- Специальные процессоры в системах навигации
- Системы АРУ

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Схема представляет собой 2-разрядный АЦП с программируемым порогом срабатывания. Младший разряд, называемый разрядом определения знака, устанавливается в единицу или ноль при изменении полярности входного дифференциального напряжения. Старший разряд (разряд магнитуды), устанавливается в единицу при превышении входным сигналом программируемого уровня квантования.

В схему входят:

- Генератор опорных уровней и токов
- 2 повторителя входного сигнала (по одному на канал)
- 2 АЦП (по одному на канал)
- Мультиплексоры входного сигнала

Пороги сравнения выбираются внешним 4-разрядным двоичным кодом в диапазоне от 60 мВ до 220 мВ. Логическим уровнем на входе `lvl_12_mode` выбирается режим указания порога: при логической «1» на входе `lvl_12_mode` будет задействован режим с 12-ю порогами; при логическом «0» на входе `lvl_12_mode` будет задействован режим с 16-ю порогами. Предусмотрена возможность сдвига шкалы в пределах 10 мВ. Шаг квантования при этом остается неизменным. Выбор «сдвига шкалы» осуществляется в двоичном коде на входе `scale_adj`. «Сдвиг шкалы» действует в обоих каналах одновременно.

В схему АЦП встроен логический детектор ошибочных решений. В случае возникновения одной из ошибочных ситуаций логический уровень на выходе етого соответствующего канала принимает значение единицы. Ошибочные решения:

- Одновременное срабатывание сигнала об отрицательном знаке и пересечении верхнего порога сравнения
- Одновременное срабатывание сигнала о положительном знаке и пересечении нижнего порога сравнения

- Одновременное срабатывание сигнала о пересечении верхнего и нижнего порогов сравнения

Для повышения устойчивости к ложным срабатываниям в схеме применено тройное резервирование компараторов, объединенных мажоритарным логическим элементом. Устройство выполнено по технологии UMC КМОП 0,18 мкм.

4 БЛОК-СХЕМА

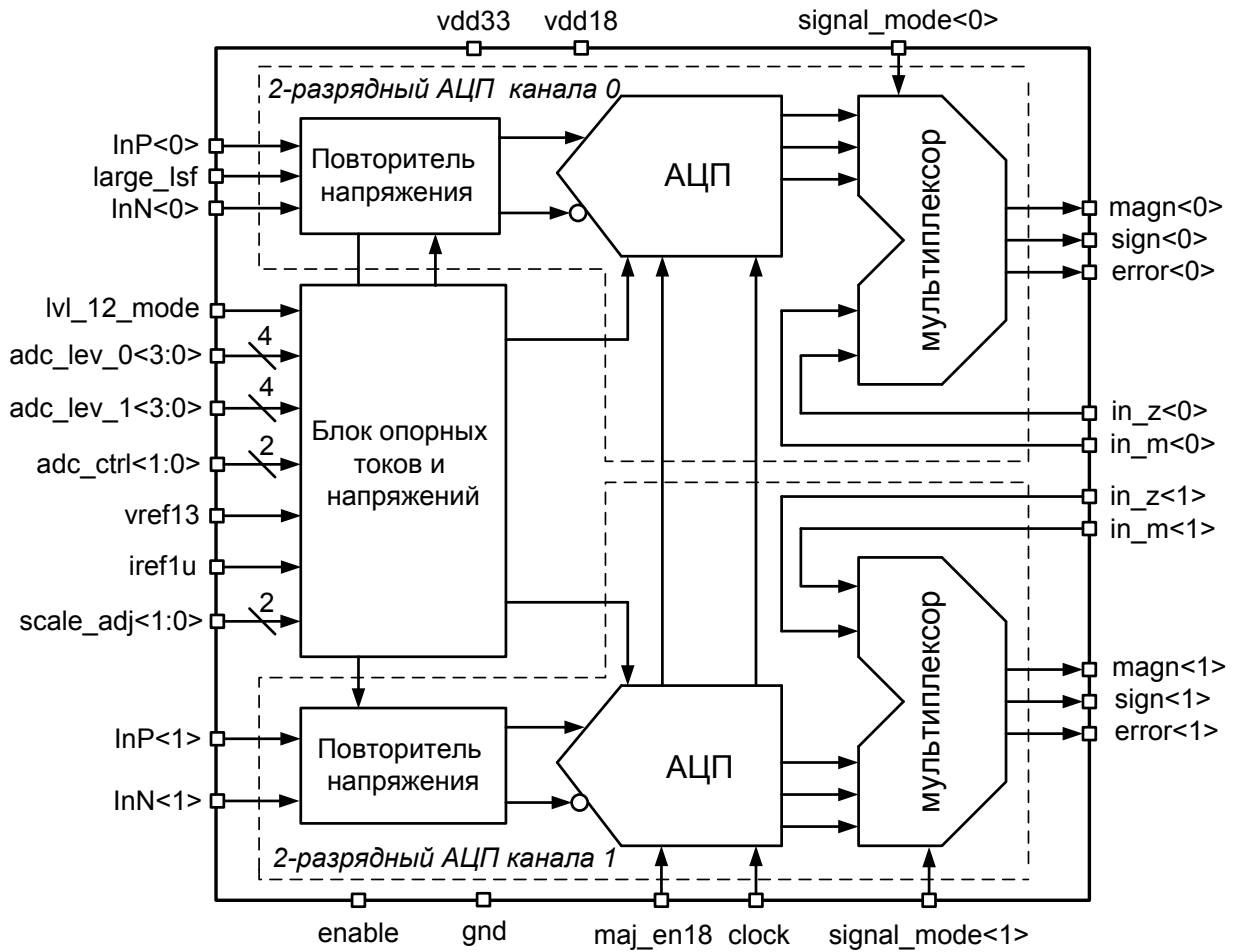


Рисунок 1: Блок-схема АЦП

5 ОПИСАНИЕ ПОРТОВ

| Название | Направление | Описание |
|------------------|-------------|---|
| ireflu | I | Опорный ток (втекающий) 1 мкА |
| verfl3 | I | Опорное напряжение 1,3 В |
| clock | I | Вход тактовых импульсов |
| enable | I | Глобальное включение схемы |
| lvl_12_mode | I | Включение/выключение режима «12/16 уровней» |
| large_Isf | I | Включение режима «повышенного тока» для истоковых повторителей |
| maj_en18 | I | Включение резервных компараторов и мажоритарной логики |
| adc_ctrl<1:0> | I | Разрешение тактовых импульсов (для каждого канала) |
| InP<1:0> | I | Входной дифференциальный аналоговый сигнал (для каждого канала) |
| InN<1:0> | | |
| adc_lev_0<3:0> | I | Настройка порога сравнения в канале 0 |
| adc_lev_1<3:0> | I | Настройка порога сравнения в канале 1 |
| in_m<1:0> | I | Цифровой вход сигнала магнитуды (для каждого канала) |
| in_z<1:0> | I | Цифровой вход сигнала (для каждого канала) |
| signal_mode<1:0> | I | Выбор источника выходного сигнала |
| scale_adj<1:0> | I | Подстройка сдвига шкалы сравнения |
| magn<1:0> | O | Сигнал о превышении порогового значения входным сигналом |
| sign<1:0> | O | Сигнал о знаке входного сигнала |
| error<1:0> | O | Сигнал об ошибке |
| vdd33 | IO | Напряжение питания 3,3 В |
| vdd18 | IO | Напряжение питания 1,8 В |
| gnd | IO | Шина нулевого потенциала |

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены топологические размеры блока АЦП.

Таблица 1: Размеры блока

| Размер | Значение | Единица измерения |
|--------|----------|-------------------|
| Высота | 338 | МКМ |
| Ширина | 281 | МКМ |

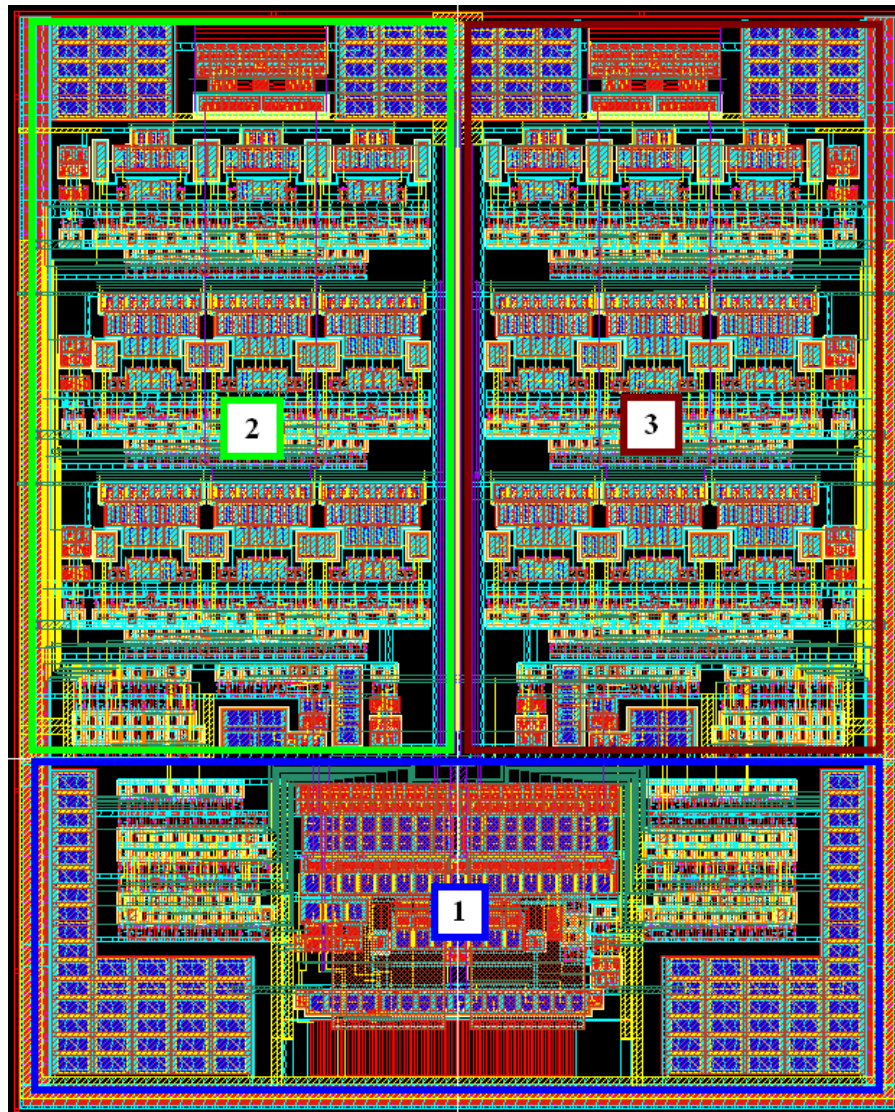


Рисунок 2: Общий вид топологии блока 2

1. Источник опорных токов и напряжений
2. 2-разрядный АЦП канала 0
3. 2-разрядный АЦП канала 1

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ УМС КМОП 0,18 мкм
 Статус _____ верифицирован в кремнии
 Занимаемая площадь _____ 0,095 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{dd33} = 3,0 \div 3,6$ В, $V_{dd18} = 1,7 \div 1,9$ В и $T_j = -45 \div +85^\circ\text{C}$, если иное не оговорено; типовые значения при $V_{dd33} = 3,3$ В, $V_{dd18} = 1,8$ В и $T_j = 27^\circ\text{C}$.

| Наименование параметра | Обозначение | Примечания | Значение | | | Единица измерения |
|---|----------------|---------------------|----------------|-------|-----------------|-------------------|
| | | | мин | тип | макс | |
| Рабочая температура | T_j | - | -45 | 27 | +85 | °C |
| Напряжение питания цифровых блоков устройства | V_{dd18} | - | 1,7 | 1,8 | 1,9 | В |
| Напряжение питания аналоговых блоков устройства | V_{dd33} | - | 3,0 | 3,3 | 3,6 | В |
| Разрядность | N | - | 2 | - | - | бит |
| Тактовая частота | F_{clk} | - | 50 | - | 100 | МГц |
| Частота выборки | F_s | - | - | 100 | - | Мвыб/с |
| Полоса преобразуемого сигнала | BW | - | 25 | - | 50 | МГц |
| Мощность в режиме ожидания | P_{st} | - | 0,029 | 23,16 | - | мкВт |
| Ток потребления цифровых блоков | $I_{supply18}$ | - | - | 2,03 | - | мА |
| Ток потребления аналоговых блоков | $I_{supply33}$ | Для 2-х каналов | - | 3,42 | - | мА |
| Потребляемая мощность | P_{supply} | - | - | 14,94 | - | мВт |
| Постоянная составляющая входного сигнала | U | - | 1,5 | 1,7 | 1,9 | В |
| Входное напряжение высокого уровня | V_{IH} | Для цифровых входов | $0,7 V_{dd18}$ | - | $V_{dd18}+0,25$ | В |
| Входное напряжение низкого уровня | V_{IL} | | -0,25 | - | $0,3 V_{dd18}$ | |

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация

СПИСОК ИЗМЕНЕНИЙ

1. От версии 1.5:
 - Изменен заголовок 3
 - Изменен рисунок 1
 - Изменена таблица "Электрические характеристики"