
12-разрядный 1-канальный АЦП с частотой выборки от 10 до 100 Мвыб/с

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- iNP SiGe БиКМОП 0,25 мкм
- Разрядность 12-бит
- Частота выборки от 10 до 100 Мвыб/с
- Низкое энергопотребление в режиме ожидания
- Низкая рассеиваемая мощность (150 мВт)
- Реальный динамический диапазон (SFDR) 62 дБ
- Высокие значения соотношения сигнал/шум (SNR) - 61 дБ
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iNP, Vanguard, SiTerra

2 СФЕРА ПРИМЕНЕНИЯ

- Оптические сети
- Тестовое оборудование
- Промышленное и автомобильное оборудование
- Телекоммуникационные системы
- Высококачественные системы обработки видеоизображения

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Блок представляет собой конвейерный АЦП, построенный на 12-ти 1,5-битных умножающих ЦАП, с устройством выборки хранения данных и окончательным блоком компараторов. Умножающий ЦАП состоит из 5 блоков mdac1, 7 блоков mdac2. Блоки mdac1, mdac2 отличаются мощностью операционного усилителя и номиналом сопротивления ключей. Блоки mdac1 обладают возможностью изменения уровня сравнения, в блоках mdac2 уровень сравнения фиксирован. Блок mdac состоит из операционного усилителя, набора ключей, осуществляющих коммутацию емкостей и операционного усилителя, компараторов, формирователя тактовых сигналов и делителя напряжения питания для формирования опорных уровней. Блок компаратора формирует сигналы управления ключами коммутации емкостей, выходные сигналы для последующей обработки логикой формирования кода АЦП, тактовые сигналы управления ключами коммутации емкостей, тактовые сигналы для схемы обеспечения необходимого синфазного уровня операционного усилителя. В модуле делителя напряжений питания, номиналы резисторов и фильтрующих емкостей определяют мощность операционного усилителя, для которого формируются опорные уровни.

Устройство выполнено по технологии iNP SiGe БиКМОП 0,25 мкм.

4 БЛОК-СХЕМА

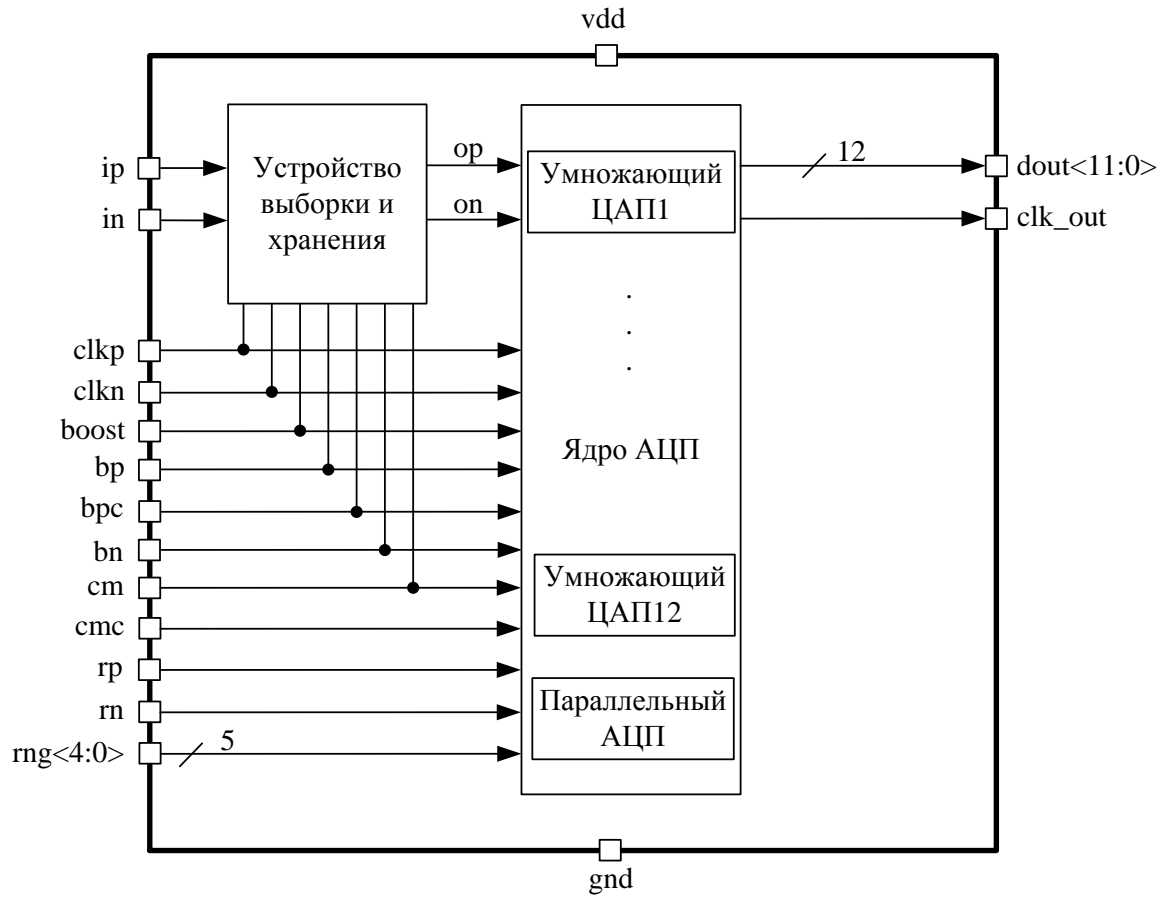


Рисунок 1: Блок-схема 12-разрядного 1-канального конвейерного АЦП

5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
rp	I	Высокий уровень опорного напряжения 1,5 В
rn	I	Низкий уровень опорного напряжения 1 В
ip	I	Аналоговый дифференциальный вход
in		
clkp	I	Дифференциальный вход тактового сигнала
clkn		
cm	I	Средний уровень опорного напряжения
cmc	I	Опорный уровень для блока компараторов
boost	I	Опорный уровень для блока ключей
bp	I	Опорный уровень для источников тока
bpc	I	Опорный уровень для источников тока
bn	I	Опорный уровень для источников тока
clk_out	O	Выходной тактовый сигнал
rng<4:0>	I	Регистр выбора блока компараторов(1/8 или 3/8)
dout<11:0>	O	Выходной сигнал данных
vdd	I/O	Напряжение питания 2,5 В
gnd	I/O	Шина нулевого потенциала

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры микросхемы аналого-цифрового преобразователя.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	1725	МКМ
Ширина	660	МКМ

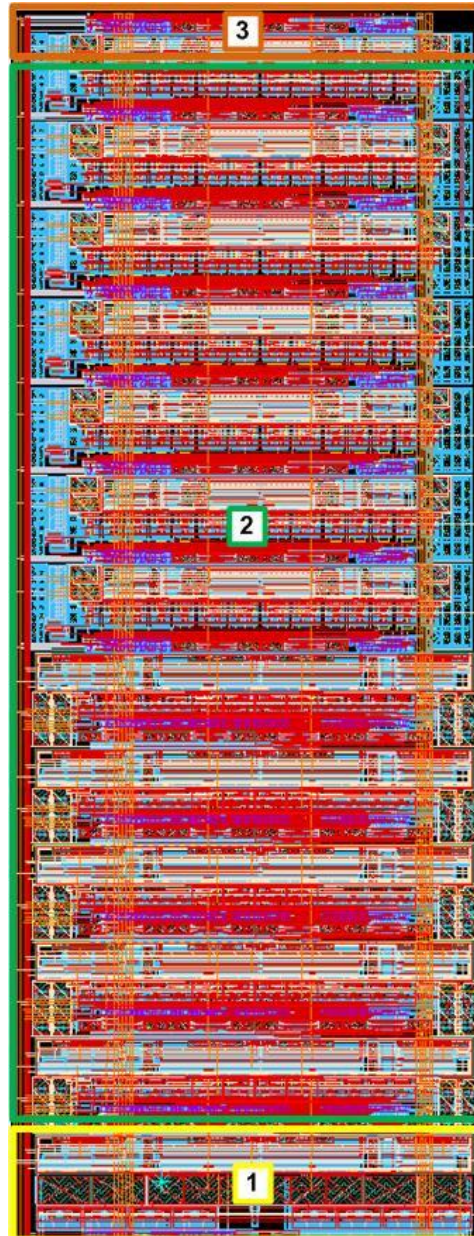


Рисунок 2: Общий вид топологии блока АЦП

1. Устройство выборки/хранения данных
2. Блок ядра АЦП
3. Параллельный АЦП

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ iNP SiGe БиКМОП 0,25 мкм
Статус _____ верифицирован в кремнии
Занимаемая площадь _____ 1,14 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{dd}=2,25\div 2,75$ В и $T = -60\div +125^{\circ}\text{C}$, если иное не оговорено; типовые значения при $V_{dd} = 2,5$ В и $T = +27^{\circ}\text{C}$.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания	V_{dd}	-	2,25	2,5	2,75	В
Диапазон рабочих температур	T_j	-	-60	27	+125	$^{\circ}\text{C}$
Разрядность	N	-	-	12	-	бит
Максимальная амплитуда входного сигнала	A_{IN}	-	-	0,5	-	В
Скорость передачи данных	F_s	-	10	-	100	Мвыб/с
Полоса пропускания	BW	-	5	-	50	МГц
Опорные напряжения для входного сигнала	V_{REF+}	-	-	1,5	-	В
	V_{REF-}		-	1	-	В
Размах напряжения на дифференциальных входах	$A_{IN\ p-p}$	-	-	1	-	В
Постоянная напряжения на дифференциальных входах	U	-	$0,5V_{dd}$ -100мВ	$0,5V_{dd}$	$0,5V_{dd}$ +100мВ	В
Отношение сигнал/шум	SNR	Входная амплитуда $0,9 A_{IN}$, частота входного сигнала	-	61	-	дБ
Реальный динамический диапазон	SFDR	10,7 МГц, $F_{clk} = 50$ МГц	56	62	64	дБ
Ток в режиме ожидания	I_{st}	-	-	60	-	мкА
Ток потребления	I_{cn}	-	-	60	-	мА
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	$0,7V_{dd}$	-	$V_{dd}+0,25$	В
Входное напряжение низкого уровня	V_{IL}		-0,25	-	0,3	В

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация