

---

# 12-разрядный 1-канальный конвейерный АЦП с частотой выборки до 25 Мвыб/с

---

## СПЕЦИФИКАЦИЯ

### 1 ОСОБЕННОСТИ

- iHP SiGe БиКМОП 0,25 мкм
- Разрядность 12-бит
- Частота выборки от 15 до 25 Мвыб/с
- Низкое энергопотребление в режиме ожидания
- Рассеиваемая мощность не превышает 125 мВт
- Высокие значения соотношения сигнал/шум (SNR) - 61 дБ
- Реальный динамический диапазон (SFDR) 62 дБ
- Возможно портирование в другие технологии (по запросу)

### 2 СФЕРА ПРИМЕНЕНИЯ

- Оптические сети
- Тестовое оборудование
- Промышленное и автомобильное оборудование
- Телекоммуникационные системы
- Высококачественные системы обработки видеоизображения

### 3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Блок представляет собой конвейерный АЦП, построенный на 12-ти 1,5-битных умножающих ЦАП, с устройством выборки хранения данных и оконечным блоком компараторов. Умножающий ЦАП состоит из 1-го блока mdac1, 2-х блоков mdac2, 3-х блоков mdac3, 6-ти блоков mdac4. Блоки mdac1, mdac2, mdac3 отличаются мощностью операционного усилителя и номиналом сопротивления ключей. Блок mdac состоит из операционного усилителя, набора из 14-ти ключей, осуществляющих коммутацию емкостей и операционного усилителя, компараторов и делителя напряжения питания для формирования опорных уровней. Блок включает два компаратора, которые формируют сигналы управления ключами коммутации емкостей, выходные сигналы для последующей обработки логикой формирования кода АЦП, тактовые сигналы управления ключами коммутации емкостей, тактовые сигналы для схемы обеспечения необходимого синфазного уровня операционного усилителя. В модуле делителя напряжений питания, номиналы резисторов и фильтрующих емкостей определяют мощность операционного усилителя, для которого формируются опорные уровни.

Устройство выполнено по технологии iHP SiGe БиКМОП 0,25 мкм.

## 4 БЛОК-СХЕМА

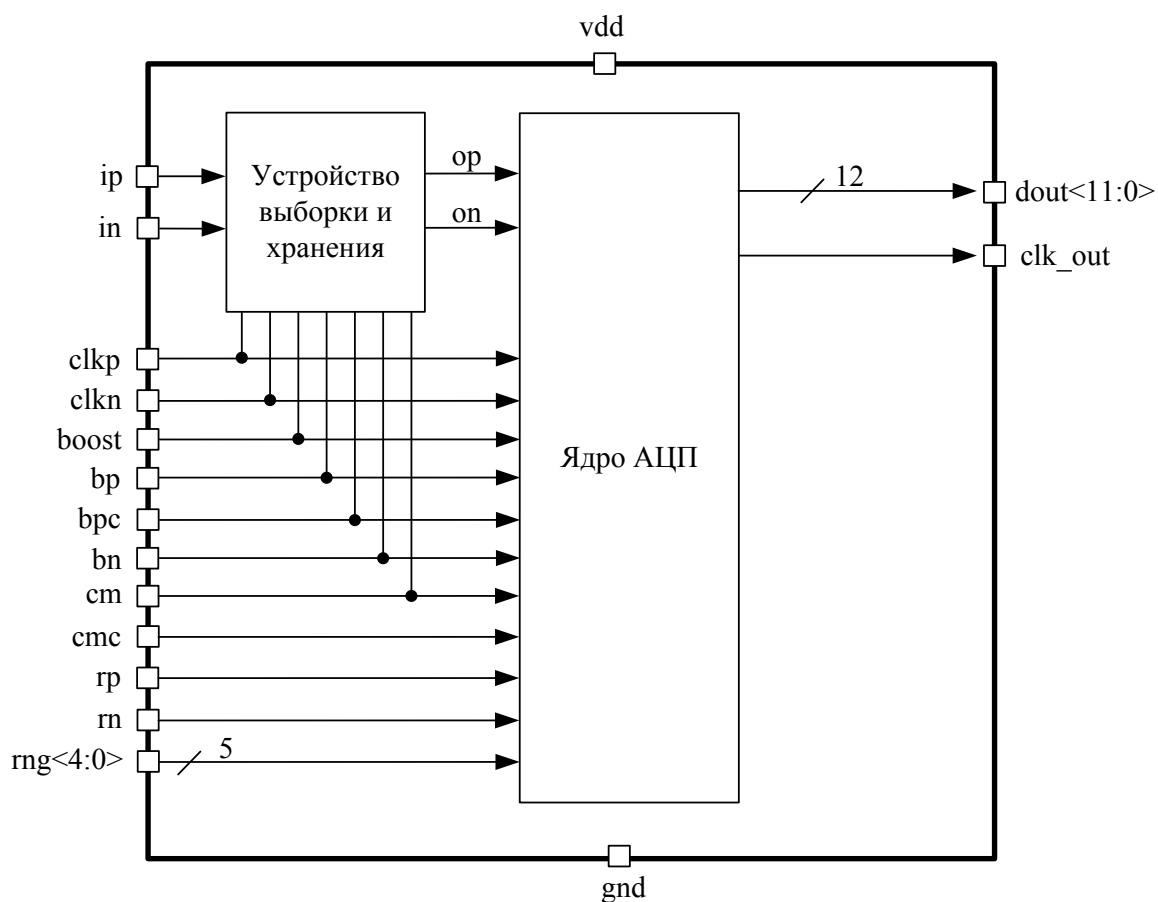


Рисунок 1: Блок-схема АЦП

## 5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
ip	I	Аналоговый дифференциальный вход
in		
clkp	I	Дифференциальный вход тактового сигнала
clkn		
boost	I	Опорный уровень для блока ключей
bp	I	Опорный уровень для источников тока
bpc	I	Опорный уровень для источников тока
bn	I	Опорный уровень для источников тока
cm	I	Средний уровень опорного напряжения
cmc	I	Опорный уровень для блока компараторов
gp	I	Высокий уровень опорного напряжения 1,5 В
rn	I	Низкий уровень опорного напряжения 1 В
rng<4:0>	I	Регистр выбора блока компараторов(1/8 или 3/8)
dout<11:0>	O	Выходной сигнал данных
clk_out	O	Выходной тактовый сигнал
vdd	I/O	Напряжение питания 2,5 В
gnd	I/O	Шина нулевого потенциала

## 6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры микросхемы аналого-цифрового преобразователя.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	2280	МКМ
Ширина	340	МКМ

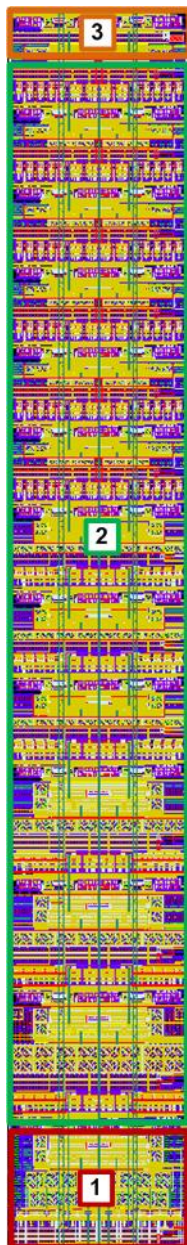


Рисунок 2: Общий вид топологии блока АЦП

1. Устройство выборки/хранения данных
2. Блок умножающих ЦАП
3. Блок компараторов

## 7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

### 7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология \_\_\_\_\_ iHP SiGe БиКМОП 0,25 мкм  
 Статус \_\_\_\_\_ верифицирован в кремнии  
 Занимаемая площадь \_\_\_\_\_ 0,8 мм<sup>2</sup>

### 7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для  $V_{dd}=2,25\pm 2,75$  В и  $T=-60\pm 125^{\circ}\text{C}$ , если иное не оговорено; типовые значения при  $V_{dd} = 2,5$  В и  $T = +27^{\circ}\text{C}$ .

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания	$V_{dd}$	-	2,25	2,5	2,75	В
Диапазон рабочих температур	$T_j$	-	-60	+27	+125	$^{\circ}\text{C}$
Разрядность	N	-	-	14	-	бит
Ток в режиме ожидания	$I_{st}$	-	-	60	-	мкА
Ток потребления	$I_{cc}$	-	-	50	-	мА
Максимальная амплитуда входного сигнала	$A_{IN}$	-	-	0,5	-	В
Скорость передачи данных	$F_s$	-	15	20	25	Мвыб/с
Полоса пропускания	B	-	7,5	10,0	12,5	МГц
Опорные напряжения для входного сигнала	$V_{REF+}$	-	-	1,5	-	В
	$V_{REF-}$		-	1	-	В
Размах напряжения на дифференциальных входах	$A_{IN\ p-p}$	-	-	1	-	В
Постоянная напряжения на дифференциальных входах	U	-	$0,5V_{dd}$ -100мВ	$0,5V_{dd}$	$0,5V_{dd}$ +100мВ	В
Отношение сигнал/шум	SNR	Входная амплитуда 0,9 $A_{IN}$ , частота входного сигнала 17,5 МГц, $F_{clk} = 20$ МГц	-	61	-	дБ
Реальный динамический диапазон	SFDR	Входная амплитуда 0,9 $A_{IN}$ , частота входного сигнала 17,5 МГц, $F_{clk} = 20$ МГц	56	62	64	дБ
Входное напряжение высокого уровня	$V_{IH}$	Для цифровых входов	$0,7V_{dd}$	-	$V_{dd}+0,25$	В
Входное напряжение низкого уровня	$V_{IL}$		-0,25	-	0,3	В

## 8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация