

---

# 14-разрядный АЦП

---

## СПЕЦИФИКАЦИЯ

### 1 ОСОБЕННОСТИ

- iHP SGB 0,25 мкм БиКМОП
- Разрядность 14-бит
- Частота дискретизации 15-25 МГц
- Низкое энергопотребление в режиме ожидания
- Рассеиваемая мощность не превышает 120 мВт
- Высокие значения соотношения сигнал/шум (60 дБ)
- Динамический диапазон, свободный паразитных составляющих, 60 дБ
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, Vanguard, SilTerra

### 2 СФЕРА ПРИМЕНЕНИЯ

- Оптические сети
- Тестовое оборудование
- Промышленное и автомобильное оборудование
- Телекоммуникационные системы
- Высококачественные системы обработки видеоизображения

### 3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Блок представляет собой конвейерный АЦП, построенный на 12-ти 1,5-битных умножающих ЦАП, с устройством выборки хранения данных и оконечным блоком компараторов. Умножающий ЦАП состоит из 1-го блока mdac1, 2-х блоков mdac2, 3-х блоков mdac3, 6-ти блоков mdac4. Блоки mdac1, mdac2, mdac3 отличаются мощностью операционного усилителя и номиналом сопротивления ключей. Блок mdac состоит из операционного усилителя, набора из 14-ти ключей, осуществляющих коммутацию емкостей и операционного усилителя, компараторов и делителя напряжения питания для формирования опорных уровней. Блок включает два компаратора, которые формируют сигналы управления ключами коммутации емкостей, выходные сигналы для последующей обработки логикой формирования кода АЦП, тактовые сигналы управления ключами коммутации емкостей, тактовые сигналы для схемы обеспечения необходимого синфазного уровня операционного усилителя. В модуле делителя напряжений питания, номиналы резисторов и фильтрующих емкостей определяют мощность операционного усилителя, для которого формируются опорные уровни. Устройство выполнено по технологии iHP SGB 0,25 мкм БиКМОП.

## 4 БЛОК-СХЕМА

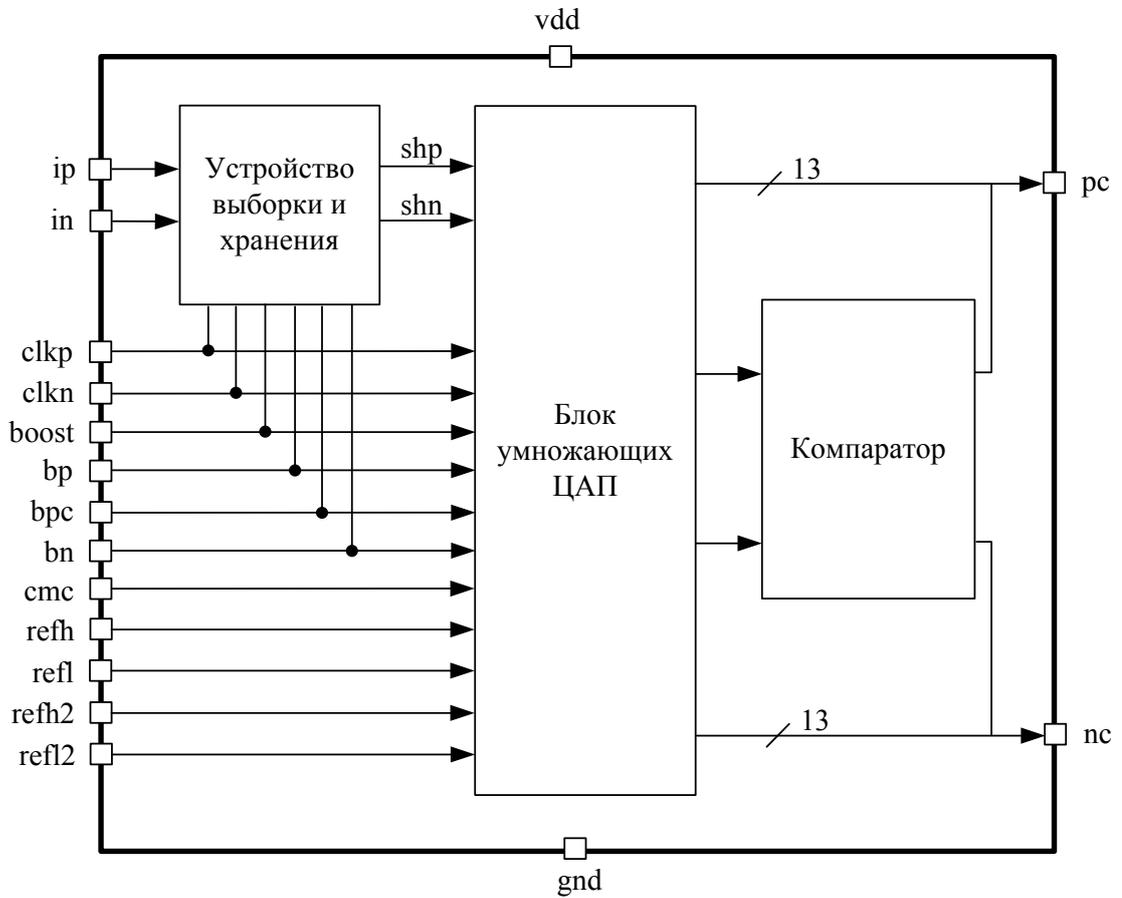


Рисунок 1: Блок-схема 14-разрядного АЦП.

## 5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
ip	I	Аналоговый дифференциальный вход
in		
clkp	I	Дифференциальный вход тактового сигнала
clkn		
refh	I	Опорное напряжение высокого уровня
refl	I	Опорное напряжение низкого уровня
refh2	I	Половина высокого уровня опорного напряжения
refl2	I	Половина низкого уровня опорного напряжения
cmc	I	Опорный уровень для блока компараторов
boost	I	Опорный уровень для блока ключей
bp	I	Опорный уровень для источников тока
bpc	I	Опорный уровень для источников тока
bn	I	Опорный уровень для источников тока
pc<12:0>	O	Выходной дифференциальный сигнал
nc<12:0>		
vdd	I/O	Напряжение питания 2,5 В
gnd	I/O	Шина нулевого потенциала

## 6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры микросхемы аналого-цифрового преобразователя.

Таблица 1: Размеры блока.

Размер	Значение	Единица измерения
Высота	2280	МКМ
Ширина	340	МКМ

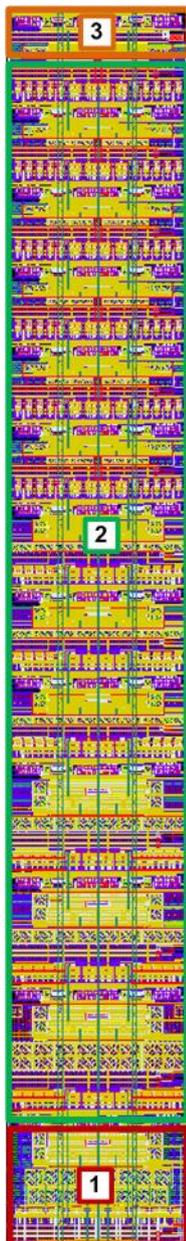


Рисунок 2: Общий вид топологии блока АЦП.

1. Устройство выборки/хранения данных
2. Блок умножающих ЦАП
3. Блок компараторов

## 7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

### 7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология \_\_\_\_\_ iNP 0,25 мкм БИКМОП  
 Статус \_\_\_\_\_ верифицирован в кремнии  
 Занимаемая площадь \_\_\_\_\_ 0,8 мм<sup>2</sup>

### 7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для  $V_{dd}=2,25\div 2,75$  В и  $T=-60\div +125^{\circ}\text{C}$ , если иное не оговорено; типовые значения при  $V_{dd}=2,5$  В и  $T=+27^{\circ}\text{C}$ .

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания	$V_{dd}$	-	2,25	2,5	2,75	В
Диапазон рабочих температур	$T$	-	-60	+27	+125	$^{\circ}\text{C}$
Разрядность	$N$	-	-	14	-	бит
Тактовая частота	$F_{clk}$	-	15	20	25	МГц
Ток в режиме ожидания	$I_{st}$	-	-	60	-	мкА
Ток потребления	$I_{cn}$	-	-	48	-	мА
Максимальная амплитуда входного сигнала	$A_{IN}$	-	-	0,5	-	В
Опорные напряжения для входного сигнала	$V_{REF+}$	-	-	1,5	-	В
	$V_{REF-}$		-	1	-	В
Размах напряжения на дифференциальных входах	$A_{IN\ p-p}$	-	-	1	-	В
Постоянная напряжения на дифференциальных входах	$U$	-	$0,5V_{dd}$ -100мВ	$0,5V_{dd}$	$0,5V_{dd}$ +100мВ	В
Отношение сигнал/шум	SNR	Входная амплитуда	-	60	-	дБ
Динамический диапазон, свободный от паразитных составляющих	SFDR	$0,9 A_{IN}$ , частота входного сигнала 17,5 МГц, $F_{clk} = 20$ МГц	56	60	64	дБ
Входное напряжение высокого уровня	$V_{IH}$	Для цифровых входов	$0,7V_{dd}$	-	$V_{dd}+0,25$	В
Входное напряжение низкого уровня	$V_{IL}$		-0,25	-	0,3	В

## 8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Топологическое решение (layout) или «черный ящик»
- Топологическая схема с экстрагированными параметрами (extracted view, опциональный)
- GDSII
- Схемы для тестирования с сохранёнными конфигурациями (опциональный)
- Документация