
12-разрядный 2-канальный АЦП с частотой выборки от 0,5 до 30 Мвыб/с

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- iHP SiGe БиКМОП 0,25 мкм
- 2-канальный широкополосный дельта-сигма АЦП
- Разрядность 12-бит
- Режимы скорости передачи данных 2,4 кбод – 512 кбод
- Напряжение питания 1,8 В
- Подстройка тока операционных усилителей
- Реальный динамический диапазон 63 дБ
- Отношение сигнал/шум 61 дБ
- Размах входного дифференциального сигнала 1,6 В
- Встроенный детектор уровня и знака входного сигнала
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, Vanguard, SilTerra

2 СФЕРА ПРИМЕНЕНИЯ

- Аналогово-цифровое преобразование широкополосного сигнала
- Приемники, передатчики, трансиверы
- Аналоговые интегральные микросхемы
- Измерительная техника
- Медицинская техника

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Блок представляет собой дельта-сигма АЦП второго порядка с 5-уровневым квантователем. В схему входят:

- Два интегрирующих каскада на переключаемых конденсаторах
- 5-уровневый параллельный АЦП
- Перестраиваемый (6-разрядное управление) делитель частоты такого сигнала
- Управляемый разветвитель тактового сигнала (6-разрядное управление)
- Блок опорных токов
- Схема коррекции рассогласования емкостей методом информационно-взвешенного усреднения (Data-Weighted Averaging, DWA)
- Блок определения уровня входного сигнала

Выходной сигнал формируется в «термометрическом» коде. Предусмотрена возможность отдельного отключения каждого канала, делителя частоты, блока опорных токов, схемы DWA коррекции. Встроен вывод сигнала с делителя частоты для последующего тактирования цифровых фильтров.

Напряжение постоянной составляющей входного сигнала 0,9 В; рекомендуемые значения дифференциальных опорных напряжений: $0,9 \pm 0,4$ В; рекомендуемая дифференциальная амплитуда входного сигнала: 0,64 В; допустимая девиация коэффициента заполнения тактового сигнала: $50 \pm 5\%$.

АЦП выполнен по технологии iHP SiGe БиКМОП 0,25 мкм.

4 БЛОК-СХЕМА

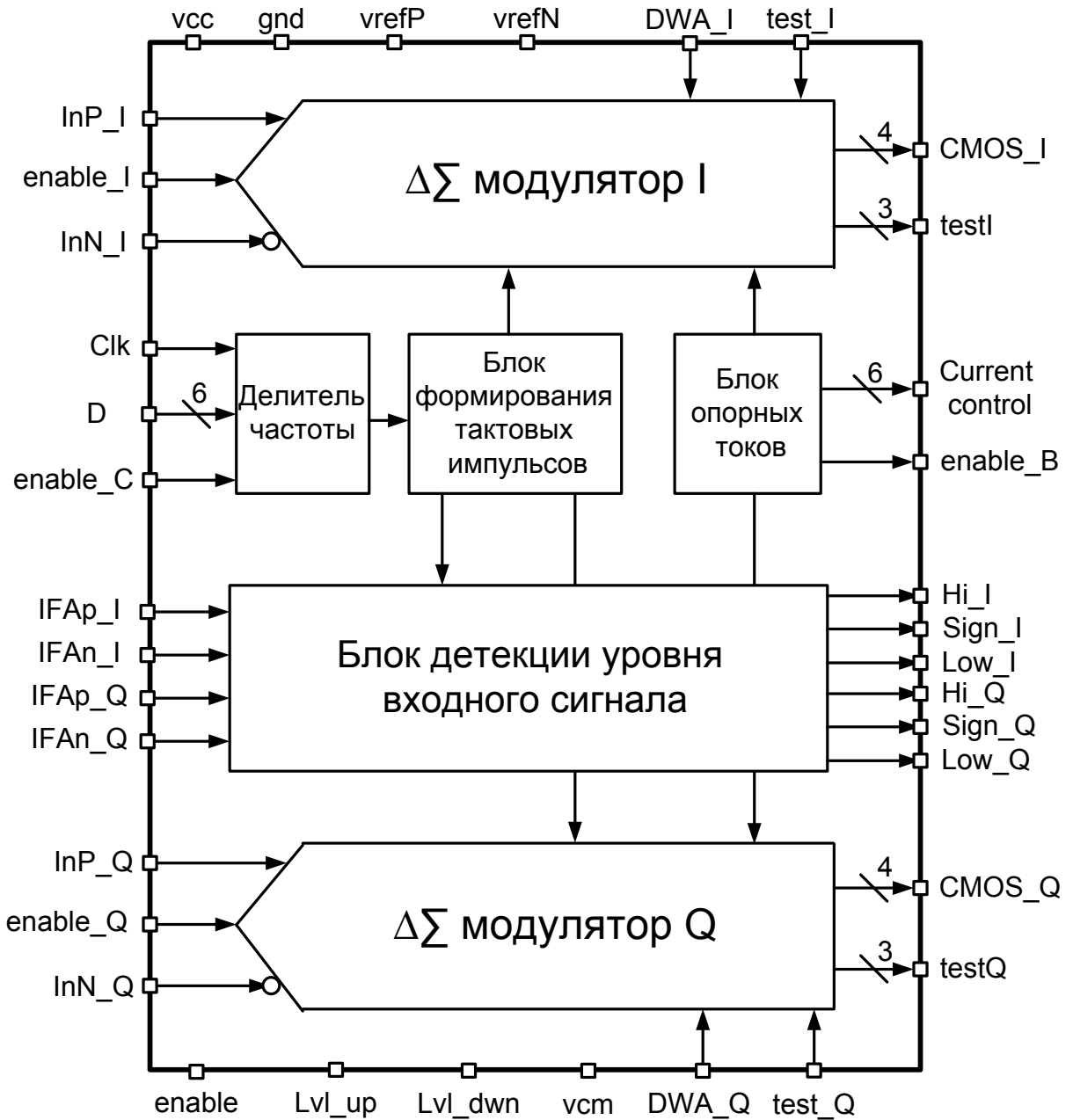


Рисунок 1: Блок-схема АЦП

5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
enable	I	Включение устройства
InP_I	I	Аналоговый дифференциальный вход I-канала
InN_I		
enable_I	I	Включение устройств канала I
DWA_I	I	Включение коррекции в канале I
test_I	I	Разрешение тестовых выходов в канале I
InP_Q	I	Аналоговый дифференциальный вход Q-канала
InN_Q		
enable_Q	I	Включение устройств канала Q
DWA_Q	I	Включение коррекции в канале Q
test_Q	I	Разрешение тестовых выходов в канале Q
IFAp_Q	I	Дифференциальный вход блока детекции уровня в канале Q
IFAn_Q		
Lvl_up	I	Дифференциальное опорное напряжение для блока детекции уровня входного сигнала
Lvl_dwn		
Clk	I	Вход тактового сигнала
enable_C	I	Разрешение тактовых импульсов
D	I	Настройка делителя частоты
vrefP	I	Опорное дифференциальное напряжение
vrefN		
vcm	I	Постоянная составляющая входного сигнала
Current_control	I	Шина настройки тока смещения
enable_B	I	Включение блока опорных токов
CMOS_I	O	Шина выходных данных I-канала
CMOS_Q	O	Шина выходных данных Q-канала
testI	O	Шина тестовых выходных данных I-канала
testQ	O	Шина тестовых выходных данных Q-канала
Hi_I	O	Превышение уровня входного сигнала в канале I
Sign_I	O	Знак входного сигнала в канале I
Low_I	O	Понижение уровня входного сигнала в I канале
Hi_Q	O	Превышение уровня входного сигнала в Q канале
Sign_Q	O	Знак входного сигнала в канале Q
Low_Q	O	Понижение уровня входного сигнала в Q канале
vcc	I/O	Напряжение питания
gnd	I/O	Шина нулевого потенциала

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены топологические размеры блока АЦП.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	465	МКМ
Ширина	650	МКМ

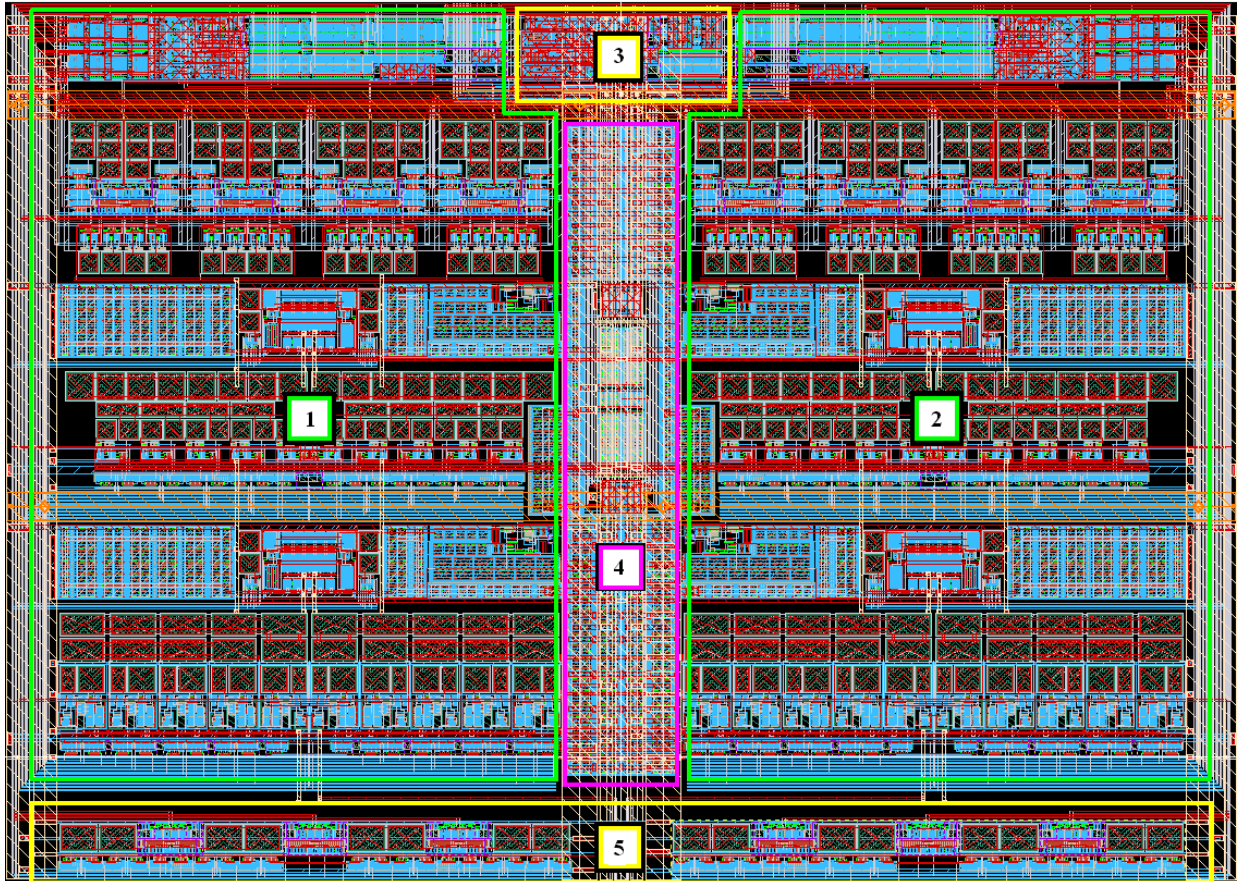


Рисунок 2: Общий вид топологии блока АЦП

1. Дельта-сигма модулятор I-канала
2. Дельта-сигма модулятор Q-канала
3. Блок формирования тактовых импульсов и делитель частоты
4. Блок опорных токов
5. Блоки детекции уровня входного сигнала

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ iHP SiGe БиКМОП 0,25 мкм
Статус _____ верифицирован в кремнии
Занимаемая площадь _____ 0,3 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{cc}=1,7\div 1,9$ В и $T_j = -45\div +85^\circ\text{C}$, если иное не оговорено; типовые значения при $V_{cc} = 1,8$ В и $T_j = +27^\circ\text{C}$.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания блоков	V_{cc}	-	1,7	1,8	1,9	В
Рабочая температура	T_j	-	-45	27	+85	$^\circ\text{C}$
Разрядность	N	-	-	12	-	бит
Коэффициент передискретизации	OSR	-	32	-	-	-
Скорость передачи данных	F_s	-	0,5		33	Мвыб/с
Полоса пропускания	BW	-	8	128	512	кГц
Размах напряжения на дифференциальных входах	$V_{in_diff\ p-p}$	-	-	1,6	-	В
Отношение сигнал/шум	SNR	Значение амплитуды близко к максимальному	58	61	63	дБ
Реальный динамический диапазон	SFDR	-	55	63	65	дБ
Постоянная составляющая входного сигнала	U	-	-	0,9	-	В
Рабочий цикл	S	-	45	50	55	%
Ток в режиме ожидания	I_{st}	-	0,68	1,86	4,01	мкА
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	$0,7 V_{cc}$	-	$V_{cc}+0,25$	В
Входное напряжение низкого уровня	V_{IL}		-0,25	-	$0,3 V_{cc}$	В

Таблица 2: Ток потребления в различной полосе обработки сигнала

Полоса обработки сигнала	Ток потребления*, мА			Настройка регистра тока
	мин	тип	макс	
8 кГц	0,232	0,239	0,272	000001
64 кГц	0,721	0,729	0,762	000100
128 кГц	1,297	1,318	1,361	001001
256 кГц	2,365	2,483	2,512	010011
512 кГц	4,455	4,549	4,676	100111
Режим ожидания	0,0007	0,002	0,004	-

* - Минимальный ток потребления соответствует ss-корнеру при температуре -50°C и питании 1,7 В
Максимальный ток потребления соответствует ff-корнеру при температуре $+85^\circ\text{C}$ и питании 1,9 В

8 ДИНАМИЧЕСКИЕ ХАРАКТЕРИСТИКИ

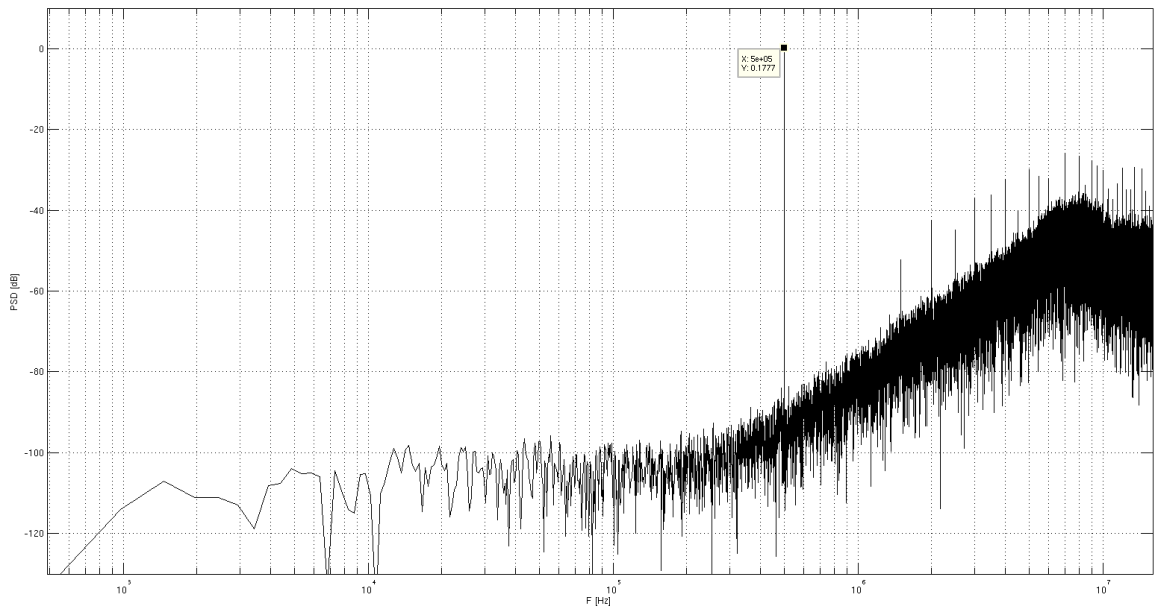


Рисунок 3: Спектр выходного сигнала

Условия:

- $F_{in} = 500$ кГц, $F_{clk} = 32$ МГц; V_{in} (дифференциальный размах) = 1280 мВ
- Число точек в расчете: 65 536
- Отношение сигнал/шум: 65,84 дБ

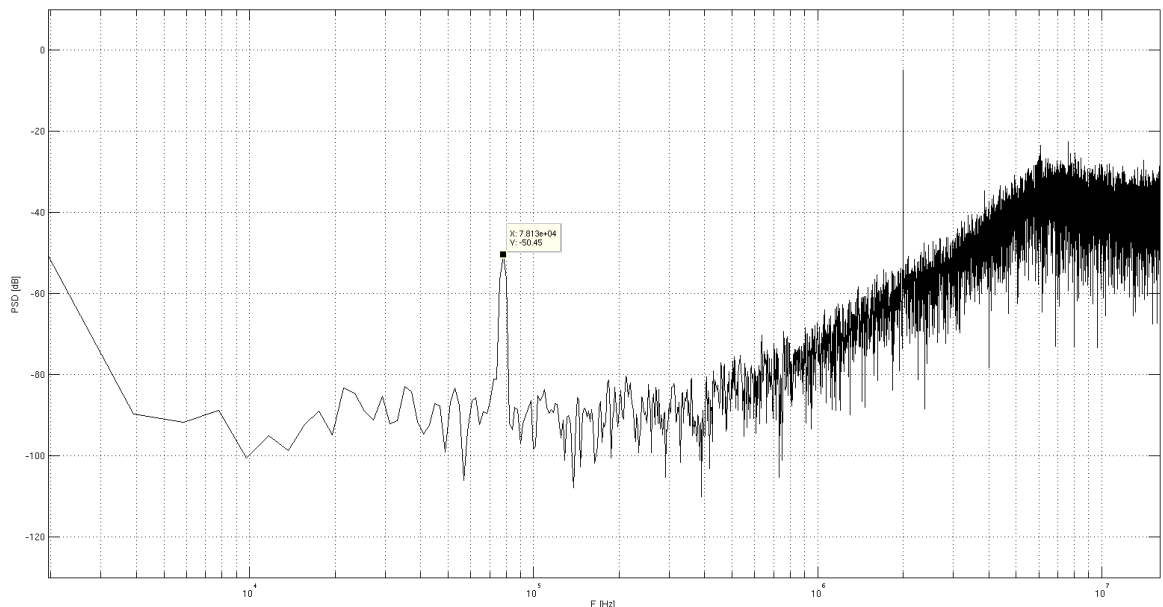


Рисунок 4: Спектр выходного сигнала при действии помехи

Условия:

- Полезный сигнал: $F_{in} = 78,125$ кГц, $F_{clk} = 32$ МГц; V_{in} (дифференциальный размах) = 4 мВ
- Сигнал помехи: $F_{in} = 2$ МГц, $F_{clk} = 32$ МГц; V_{in} (дифференциальный размах) = 1280 мВ
- Число точек в расчете: 16 384
- Отношение сигнал/шум: 12,59 дБ

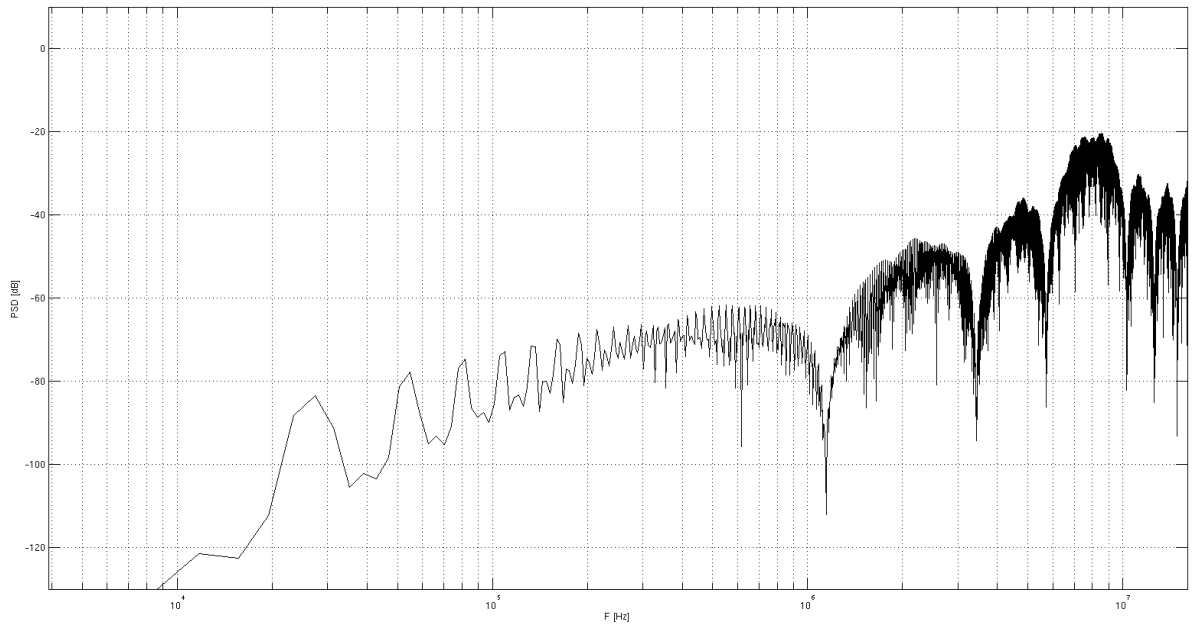


Рисунок 5: Спектр выходного сигнала (закороченный вход)

Условия:

- Fclk = 32 МГц; Vin (дифференциальный размах) = 1280 мВ
- Без включенной опции «tran noise»
- Число точек в расчете: 8192

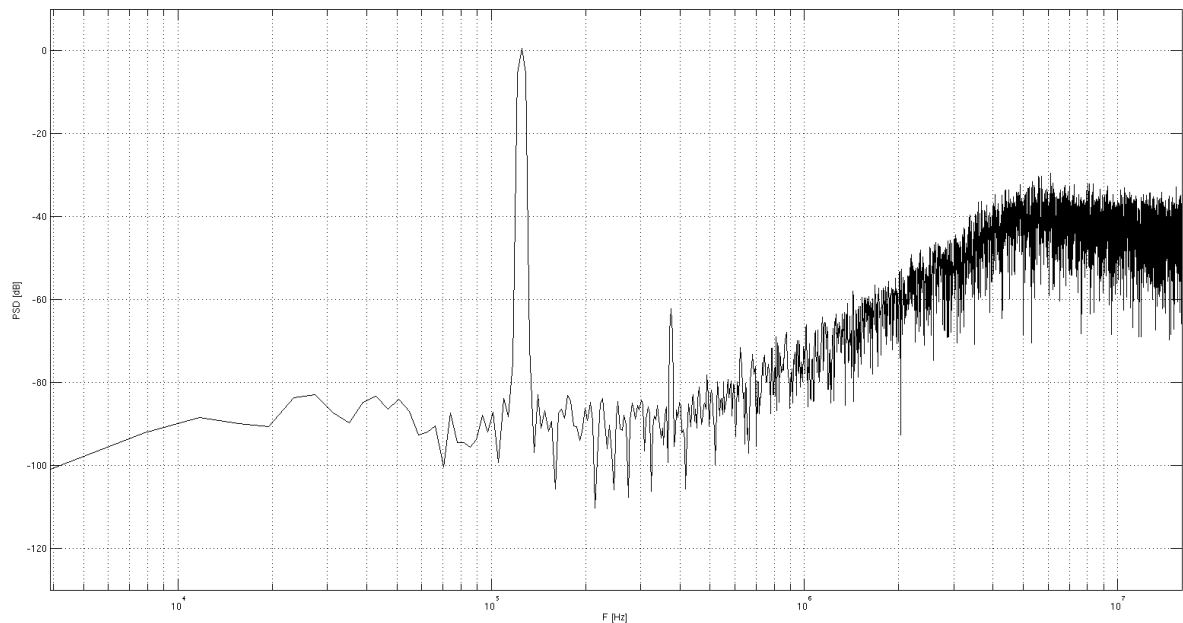


Рисунок 6: Спектр выходного сигнала

Условия:

- Полезный сигнал: Fin = 128 кГц, Fclk = 32,7 МГц; Vin (дифференциальный размах) = 320 мВ
- Реальные опорные напряжения; входной сигнал с УПЧ
- Число точек в расчете: 8192
- Отношение сигнал/шум: 58,49 дБ

9 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация