
2-разрядный АЦП с частотой выборки 50 Мвыб/с с программируемым порогом сравнения

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- AMS БиКМОП 0,35 мкм
- АЦП с программируемым порогом сравнения (8 порогов)
- Разрядность 2-бит
- Скорость передачи данных 50 Мвыб/с
- Напряжение питания: 3 В для цифровой части и 3 В для аналоговой части АЦП
- Система компенсации смещения по постоянной составляющей
- Мощный цифровой буфер для работы на контактную площадку
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, SilTerra

2 СФЕРА ПРИМЕНЕНИЯ

- Корреляторы
- Специальные процессоры в системах навигации
- Системы АРУ

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Схема представляет 2-разрядный АЦП с программируемым порогом срабатывания. Младший разряд, называемый разрядом определения знака, устанавливается в единицу или ноль при изменении полярности входного дифференциального напряжения. Старший разряд - разряд магнитуды, устанавливается в единицу при пересечении входным сигналом программируемого уровня квантования.

В схему входят:

- Блок опорных напряжений и токов
- 3 асинхронных компаратора, являющиеся ядром АЦП
- Система компенсации смещения постоянной составляющей
- Отключаемая система тактирования выходного сигнала компараторов с мощным цифровым буфером
- Преобразователь уровня логической единицы с 1,8 В на 3 В

Пороги сравнения выбираются внешним 3-разрядным двоичным кодом на входе $lv1$ в диапазоне от 48 мВ до 97 мВ (таблица 1). Входной сигнал через эмиттерные повторители поступает на 3 компаратора: компаратор определения полярности и два компаратора определения пересечения с порогом сравнения. Положительной полярности соответствует уровень логической «1» в знаковом разряде (sign), сигналу о превышении порога квантования соответствует уровень логической «1» в разряде магнитуды (magn). Полученные сигналы компараторов поступают на входы системы тактирования.

Работа системы тактирования может осуществляться в двух режимах: асинхронном режиме и режиме тактирования. В асинхронном режиме выходные сигналы компараторов подаются напрямую на мощные выходные КМОП-буферы, работающие на контактные площадки. КМОП-буферы работают от отдельного напряжения питания 3 В или 1,8 В. Таким образом, уровень логической «1» выходного сигнала может быть 3 В или 1,8 В. В режиме тактирования выходные сигналы компараторов стробируются

внешним ЭСЛ-тактовым сигналом, преобразуемым в КМОП-сигнал встроенным в систему тактирования преобразователем ЭСЛ-КМОП.

Система компенсации смещения постоянной составляющей работает по выходным сигналам цифровых буферов. Указанные сигналы с контактных площадок проходят через преобразователь уровня логической «1» с 1,8 В на 3 В, необходимый в случае работы цифровых буферов от напряжения питания 1,8 В. Система компенсации постоянной составляющей представляет собой интегрирующий каскад, накапливающий ошибку постоянной составляющей и вносящий смещение во входной сигнал компараторов, компенсирующее смещение постоянной составляющей.

Таблица 1: Описание порогов сравнения компараторов

| Номер порога | Двоичный код порога | Значение порога, мВ |
|---------------------|----------------------------|----------------------------|
| 1 | 000 | 48 |
| 2 | 001 | 55 |
| 3 | 010 | 62 |
| 4 | 011 | 69 |
| 5 | 100 | 76 |
| 6 | 101 | 83 |
| 7 | 110 | 90 |
| 8 | 111 | 97 |

4 БЛОК-СХЕМА

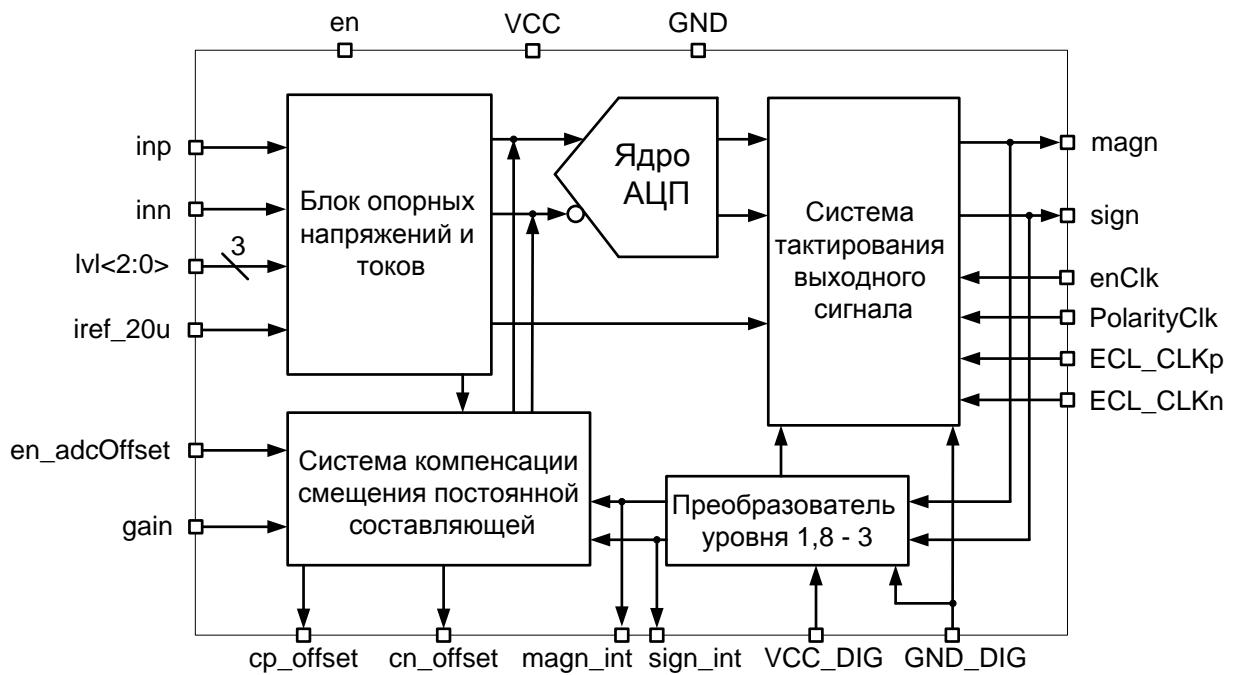


Рисунок 1: Блок-схема 2-разрядного АЦП с частотой выборки 50 Мвыб/с с программируемым порогом сравнения

5 ОПИСАНИЕ ПОРТОВ

| Наименование выводов | Направление | Назначение выводов |
|----------------------|-------------|--|
| iref_20u | I | Опорный ток 20 мкА (втекающий) |
| ECL_CLKp | I | Дифференциальный входной тактовый ЭСЛ-сигнал |
| ECL_CLKn | | |
| inp | I | Входной дифференциальный аналоговый сигнал |
| inn | | |
| en | I | Глобальное включение схемы |
| en_adcOffset | I | Включение блока компенсации смещения постоянной составляющей |
| enClk | I | Включение/выключение режима тактирования выходных данных компараторов |
| PolarityClk | I | Выбор полярности тактового сигнала: «1» - прямая; «0» - инверсная |
| gain | I | Переключение коэффициента усиления системы компенсации смещения постоянной составляющей |
| lvl<2:0> | I | Регистр настройки порога сравнения (смотрите таблицу 1) |
| magn | O | Сигнал о превышении порогового значения входным сигналом |
| sign | O | Сигнал о знаке входного сигнала |
| magn_int | O | Тестовый сигнал о превышении порогового значения входным сигналом |
| sign_int | O | Тестовый сигнал о знаке входного сигнала |
| cp_offset | O | Тестовый дифференциальный сигнал с выхода интегрирующего каскада системы компенсации постоянной составляющей |
| cn_offset | | |
| VCC | IO | Шина питания аналоговых блоков 3 В |
| GND | IO | Шина нулевого потенциала аналоговых блоков |
| VCC_DIG | IO | Шина питания выходных цифровых буферов 3 В |
| GND_DIG | IO | Шина нулевого потенциала выходных цифровых буферов |

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 2 приведены топологические размеры блока АЦП.

Таблица 2: Размеры блока

| Размер | Значение | Единица измерения |
|--------|----------|-------------------|
| Высота | 290 | мкм |
| Ширина | 760 | мкм |

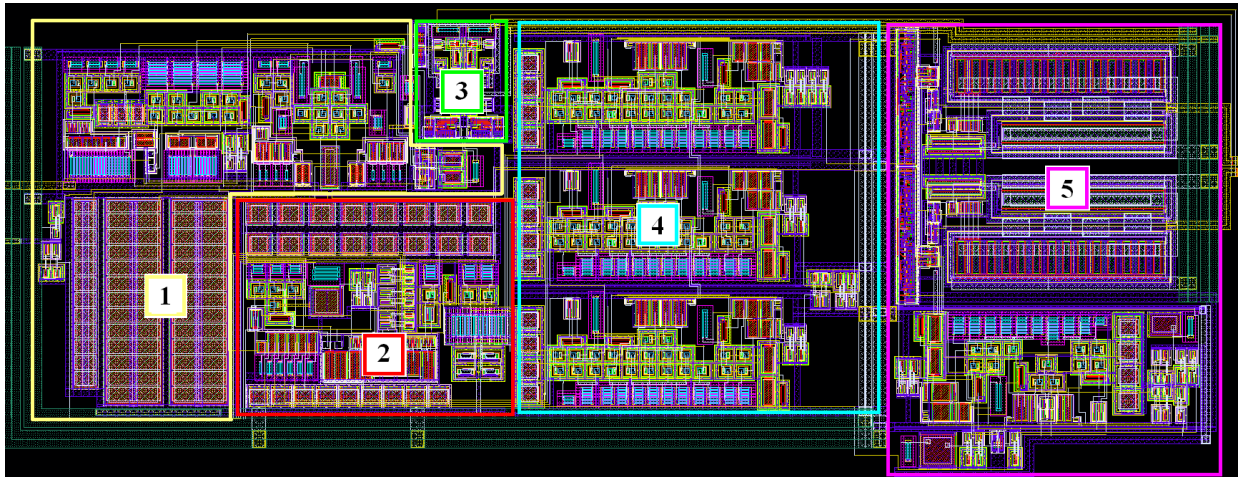


Рисунок 2: Общий вид топологии блока 2-разрядного АЦП с частотой выборки 50 Мвыб/с с программируемым порогом сравнения

1. Система компенсации смещения постоянной составляющей
2. Блок опорных напряжений и токов
3. Преобразователь уровня 1,8 В – 3 В
4. Ядро АЦП
5. Система тактирования выходного сигнала

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1. ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ AMS БиКМОП 0,35 мкм
Статус _____ верифицирован в кремнии
Занимаемая площадь _____ 0,22 мм²

7.2. ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{CC_DIG}=V_{CC} = 2,7 \div 3,3$ В и $T_j = -60 \div +125^\circ\text{C}$, если иное не оговорено; типовые значения при $V_{CC_DIG} = V_{CC} = 3,0$ В и $T_j = 27^\circ\text{C}$.

| Наименование параметра | Обозначение | Примечания | Значение | | | Единица измерения |
|---|---------------|---|------------------|------|----------------------|-------------------|
| | | | мин | тип | макс | |
| Напряжение питания аналоговых блоков устройства | V_{CC} | - | 2,7 | 3,0 | 3,3 | В |
| Напряжение питания цифровых блоков устройства | V_{CC_DIG} | - | 2,7 | 3,0 | 3,3 | В |
| Рабочая температура | T_j | - | -60 | 27 | +125 | $^\circ\text{C}$ |
| Разрядность | N | - | 2 | - | - | бит |
| Тактовая частота | F_{clk} | - | - | 50 | - | МГц |
| Скорость передачи данных | F_S | - | - | 50 | - | Мвыб/с |
| Полоса пропускания | BW | - | - | 25 | - | МГц |
| Мощность в режиме ожидания | P_{st} | - | 0,13 | 0,19 | 18,81 | мкВт |
| Потребляемая мощность | P_{supply} | Clod = 15 пФ, Fin = 20 МГц, Асинхр. режим | 5,22 | 8,40 | 14,16 | мВт |
| Ток потребления | I_{supply} | Clod = 15 пФ, Fin = 20 МГц, Асинхр. режим | 1,97 | 2,80 | 4,29 | мА |
| Постоянная составляющая входного сигнала | U | - | - | 2 | - | В |
| Входное напряжение высокого уровня | V_{IH} | Для цифровых входов | 0, V_{CC_DIG} | - | $V_{CC_DIG} + 0,25$ | В |
| Входное напряжение низкого уровня | V_{IL} | | -0,25 | - | $0,3V_{CC_DIG}$ | В |

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация