
10-разрядный высокоскоростной ЦАП

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- TSMC КМОП 90 нм
- Разрядность 10 бит
- Частота выборки 100 Мвыб/с
- Внешний источник опорных напряжений
- Выходной дифференциальный ток от 1,5 мА до 18,5 мА
- Рассеиваемая мощность от 3,1 мВт до 35,5 мВт (в зависимости от уровня выходного тока)
- Высокое значение реального динамического диапазона на частотах выходного сигнала до 25 МГц
- Режим сброса
- Режим ожидания - 10 мкА
- Малая площадь блока - 0,0984 мм²
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC

2 ПРИМЕНЕНИЕ

- Беспроводная инфраструктура
- Широкополосная связь
- Пико- и фемтосоты
- Медицинские приборы
- Возбуждение ультразвуковых преобразователей
- Генераторы сигналов, генераторы произвольных сигналов

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

10-битный дуальный высокоскоростной 100 МГц ЦАП основан на архитектуре с токовым переключением, которая обеспечивает высокую скорость преобразования и хорошие динамические характеристики. ЦАП состоит из четырех основных блоков: настраиваемый блок опорных сигналов, управляющая логика, матрица источников тока и матрица выходных переключателей. ЦАП обладает следующими возможностями: настройка выходного тока, настройка опорного напряжения выходного каскада (рисунок 4.2), переход в спящий режим. Для подключения IP необходимо напряжения питания 1 В для цифровых блоков, 1,8 В для цифровых и аналоговых блоков, аналоговое и цифровое заземление.

ЦАП обеспечивает дифференциальные токовые выходы для поддержки несимметричной или дифференциальной конфигураций. Выходной ток может быть использован для управления двумя внешними резистивными нагрузками для получения двух комплементарных несимметричных выходных напряжений, или может быть использован для управления внешним преобразователем (или усилителем) для получения одиночного выходного напряжения. ЦАП реализован на основе сегментированной токовой архитектуры и дешифратором типа термометр, с 8 термальными и 2-мя двоичными разрядами для достижения одновременно высокой скорости обновления и хороших динамических характеристик. Внешний источник опорного напряжения используется для установки полной шкалы тока ЦАП и рабочих режимов подсхем.

Устройство выполнено по технологии TSMC КМОП 90 нм.

4 СТРУКТУРА

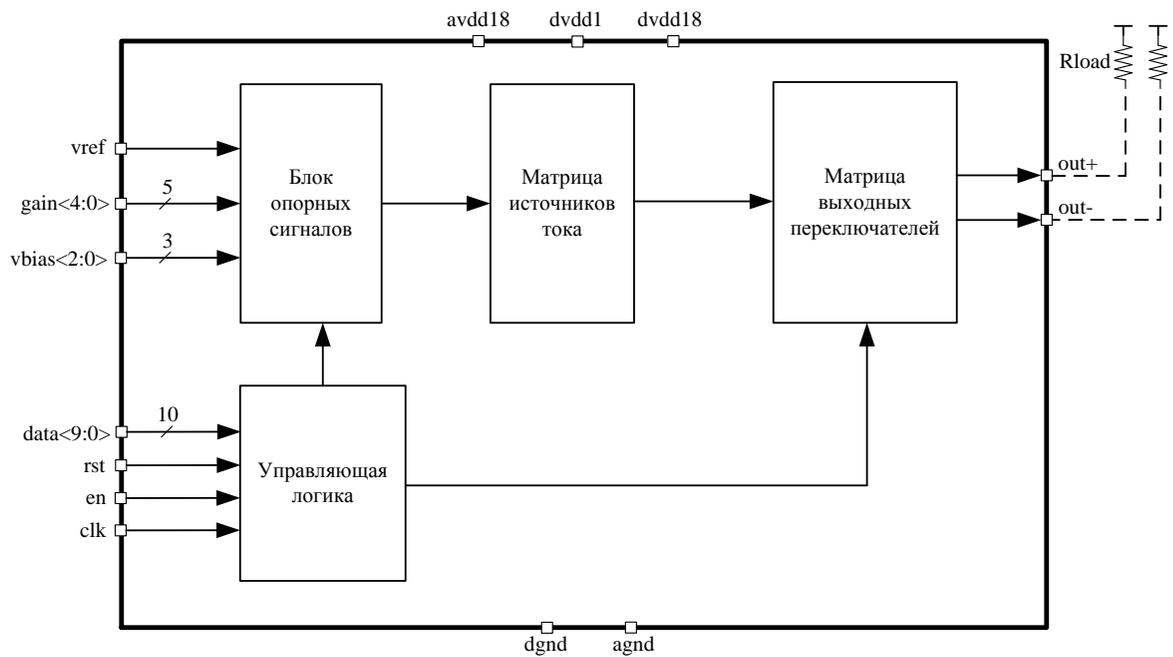


Рисунок 1: Блок-схема 10-разрядного высокоскоростного ЦАП

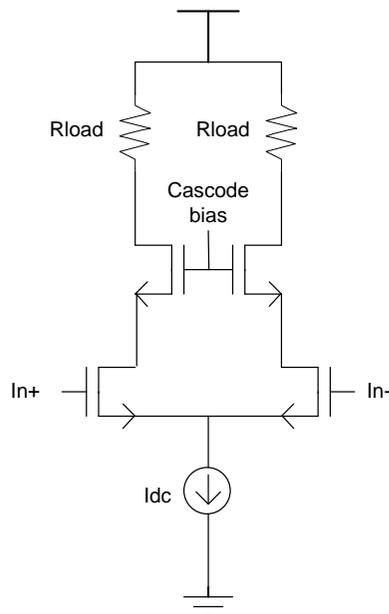


Рисунок 2: Упрощенная схема источника тока

5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
vref	I	Входное опорное напряжение
clk	I	Вход тактирования (1 В)
en	I	Активация режима ожидания (1 В)
rst	I	Активация сброса (на вход ЦАП подаётся половина шкалы, 1 В)
out-	O	Отрицательный токовый выход
out+	O	Положительный токовый выход
data<9:0>	I	Шина входных данных (1 В)
gain<4:0>	I	Регулировка выходного тока: “00000” 1,1 мА с шагом 0,54 мА “11111” 18,5 мА
vbias<2:0>	I	Регулировка напряжения смещения каскодных транзисторов (1 В)
avdd18	I/O	Напряжение питания аналоговых блоков (1,8 В)
dvdd18	I/O	Напряжение питания цифровых блоков (1,8 В)
dvdd1	I/O	Напряжение питания цифровых блоков (1 В)
dgnd	I/O	Шина нулевого потенциала цифровых блоков
agnd	I/O	Шина нулевого потенциала аналоговых блоков

6 ОПИСАНИЕ ТОПОЛОГИИ

В таблице 1 приведены размеры топологии схемы опорных сигналов и управляющая логика, в таблице 2 размеры матрицы источников токов и выходных ключевых транзисторов.

Таблица 1: Размеры блоков опорных сигналов и управляющей логики

Размеры	Значение	Единица измерения
Высота	112	МКМ
Ширина	75	МКМ

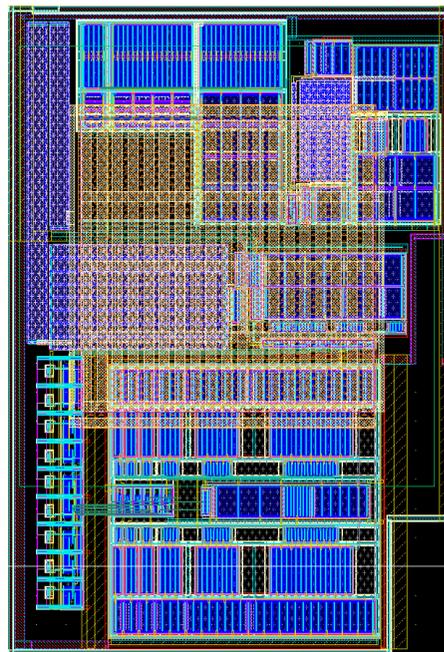


Рисунок 3: Общий вид топологии блоков опорных сигналов и управляющей логики

Таблица 2: Размеры блоков матрицы источников тока и выходных транзисторов

Размеры	Значение	Единица измерения
Высота	180	МКМ
Ширина	500	МКМ

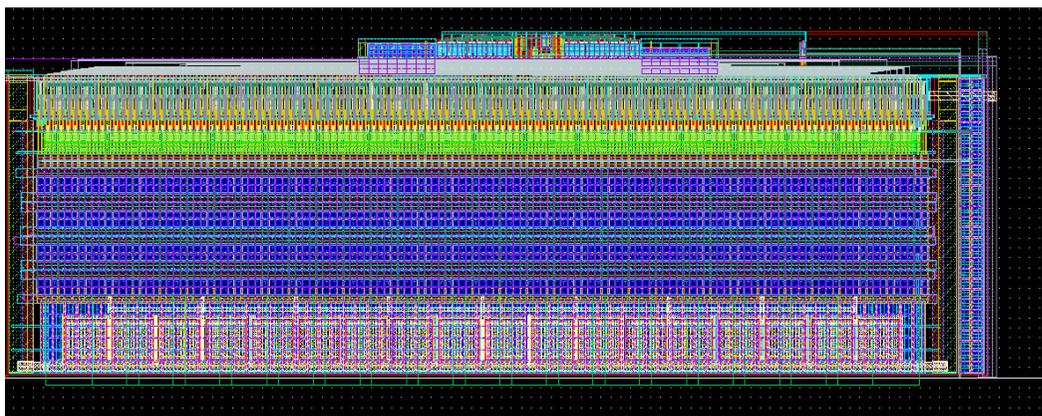


Рисунок 4: Общий вид топологии матрицы источников тока и переключателей тока

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ TSMC КМОП 90нм
 Статус _____ верифицирован в кремнии
 Занимаемая площадь _____ 0,0984 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{dd18} = 1,7 \div 1,9$ В, $T_j = -40 \div +125^\circ\text{C}$, $V_{dd} = 0,9 \div 1,1$ В. Типовые значения приведены для $V_{dd18} = 1,8$ В, $V_{dd} = 1,0$ В, $T_j = +27^\circ\text{C}$, $R_{load} = 25$ Ом, $F_{clk} = 50$ МГц, значения регистров $\text{gain}\langle 4:0 \rangle = "11111"$, $\text{vbias}\langle 2:0 \rangle = "110"$, если иное не оговорено.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания аналоговых и цифровых блоков	V_{dd18}	-	1,7	1,8	1,9	В
Напряжение питания аналоговых и цифровых блоков	V_{dd}	-	0,9	1,0	1,1	В
Диапазон рабочих температур	T_j	-	-40	27	+125	°C
Разрешение	N	-	-	10	-	бит
Диапазон свободный от паразитных составляющих	SFDR	В полосе Найквиста $F_{in} \leq 25$ МГц	60	60	66	дБ
Частота выборки	F_s	-	1	-	100	Мвыб/с
Дифференциальная нелинейность	DNL	-	-	± 1	-	МЗР
Интегральная нелинейность	INL	-	-	± 1	-	МЗР
Выходной ток	I_{out}	$\text{gain}\langle 4:0 \rangle = "00000"$	-	1,50	-	мА
		$\text{gain}\langle 4:0 \rangle = "10000"$	-	9,74	-	
		$\text{gain}\langle 4:0 \rangle = "11111"$	-	18,50	-	
Опорное напряжение	V_{ref}	-	-	1,2	-	В
Выходной диапазон соответствия	V_{out_compl}	-	1	-	2	В
Рабочий уровень синхросигнала	CDC	-	45	50	55	%
Время запуска	T_{start}	От $E_n=0$ до $E_n=1$, Bias+DAC core	-	3	-	мкс
Время установки	T_{st}	-	-	0,5	-	нс
Время удержания	T_h	-	-	0,5	-	нс
Потребляемая мощность	P_{diss}	$\text{gain}\langle 4:0 \rangle = "00000"$	-	3,1	-	мВт
		$\text{gain}\langle 4:0 \rangle = "10000"$	-	16,9	-	
		$\text{gain}\langle 4:0 \rangle = "11111"$	-	35,5	-	
Потребляемая мощность ядра ЦАП	$I_{daccore}$	$\text{gain}\langle 4:0 \rangle = "00000"$	-	2,7	-	мВт
		$\text{gain}\langle 4:0 \rangle = "10000"$	-	15,6	-	
		$\text{gain}\langle 4:0 \rangle = "11111"$	-	33,3	-	

Таблица «Электрические характеристики» (продолжение)

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Потребляемая мощность блока напряжений смещения	I_{pwbias}	$gain <4:0> = "00000"$	-	0,4	-	мВт
		$gain <4:0> = "10000"$	-	1,4	-	
		$gain <4:0> = "11111"$	-	2,16	-	
Потребление в режиме ожидания	I_{sb}	-	-	10	-	мкА
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	0,7V _{dd}	-	-	В
Входное напряжение низкого уровня	V_{IL}		-	-	0,3V _{dd}	В

Для задания внутреннего опорного тока используется внешний опорный резистор. Внутренний опорный ток задается следующим образом:

- для программирования выходного тока необходимо настроить регистр $gain<4:0>$, выходной ток определяется как сумма взвешенных бинарных значений;
- максимальный выходной ток задается значениями регистра $gain<4:0> = "11111"$ и составляет 18,5 мА;
- минимальный выходной ток задается значениями регистра $gain<4:0> = "00000"$, он составляет 1,1 мА и является значением по умолчанию.

Ток может быть пошагово настроен посредством изменения значений регистра $gain<4:0>$. Значение шага МЗР приблизительно равно 0,54 мА.

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация

СПИСОК ИЗМЕНЕНИЙ

1. От версии 1.0:

- Раздел «Особенности» (смотрите стр. 1)
- Раздел «Электрические характеристики» (смотрите стр. 5)

2. От версии 1.1:

- Раздел «Особенности» (смотрите стр. 1)
- Подраздел 7.1 «Технические характеристики» (смотрите стр. 5)