

---

## 12-разрядный R/2R ЦАП

---

### СПЕЦИФИКАЦИЯ

#### 1. ОСОБЕННОСТИ

- TSMC КМОП 90 нм
- Разрядность 12-бит
- Архитектура R/2R
- Тактовая частота 1 МГц
- Раздельные шины питания для цифровой (1 В) и аналоговой (1,8 В) частей схемы
- Низкое потребление в режиме ожидания, ток потребления 640 нА
- Рассеиваемая мощность 11,9 мВт
- Максимальная дифференциальная нелинейность 0,74 МЗР
- Максимальная интегральная нелинейность 1,20 МЗР
- Время установления 278 нс
- Малая занимаемая площадь 1,76 мм<sup>2</sup>
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC

#### 2. СФЕРА ПРИМЕНЕНИЯ

- Промышленные системы управления
- Автоматизированное тестовое оборудование
- Цифровая калибровка
- Система сбора данных
- Цифровое управление перемещением ЧПУ

#### 3. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

16-канальный 12-разрядный R/2R ЦАП состоит из трех основных блоков: источник опорных сигналов, ядро ЦАП и блок управления. Ядро ЦАП содержит 16 идентичных преобразователей, каждый из которых включает R/2R резистивный делитель и выходной операционный усилитель класса АВ. Регистр цифрового управляющего модуля  $adj<15:4>$  устанавливает оптимальный режим посредством уменьшения тока потребления, корректируя ток выходных буферов и колебания выходного синфазного сигнала. Для ЦАП необходимы следующие напряжения питания: 1,62 ÷ 1,98 В для аналоговых блоков (порт  $V_{dd18}$ ) и 0,9 ÷ 1,1 В для цифровых блоков (порт  $V_{dd}$ ).

## 4. БЛОК-СХЕМА

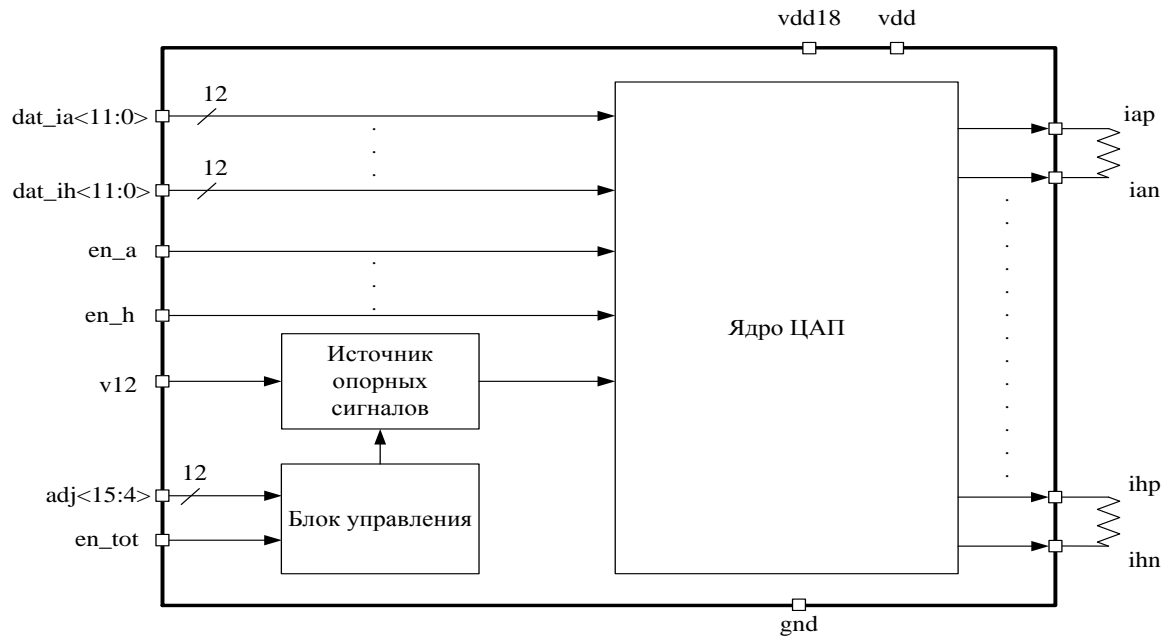


Рисунок 1: Блок-схема 12-бит R/2R ЦАП

## 5. ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
V12	I	Опорное напряжение 1,2 В
en_tot	I	Глобальный сигнал включения
en_a	I	Включение каналов ia и qa
en_b	I	Включение каналов ib и qb
en_c	I	Включение каналов ic и qc
en_d	I	Включение каналов id и qd
en_e	I	Включение каналов ie и qe
en_f	I	Включение каналов if и qf
en_g	I	Включение каналов ig и qg
en_h	I	Включение каналов ih и qh
iap ian	O	Дифференциальный выход канала ia
qap qan	O	Дифференциальный выход канала qa
ibp ibn	O	Дифференциальный выход канала ib
qbp qbn	O	Дифференциальный выход канала qb
icp icn	O	Дифференциальный выход канала ic
qcp qcn	O	Дифференциальный выход канала qc
idp idn	O	Дифференциальный выход канала id
qdp qdn	O	Дифференциальный выход канала qd
iep ien	O	Дифференциальный выход канала ie
qep qen	O	Дифференциальный выход канала qe
ifp ifn	O	Дифференциальный выход канала if
qfp qfn	O	Дифференциальный выход канала qf
igr ign	O	Дифференциальный выход канала ig
qgr qgn	O	Дифференциальный выход канала qg
ihp ihn	O	Дифференциальный выход канала ih
qhp qhn	O	Дифференциальный выход канала qh

Окончание таблицы "Описание портов"

Наименование выводов	Направление	Назначение выводов
dat_ia<11:0>	I	Входные данные канала ia
dat_qa<11:0>	I	Входные данные канала qa
dat_ib<11:0>	I	Входные данные канала ib
dat_qb<11:0>	I	Входные данные канала qb
dat_ic<11:0>	I	Входные данные канала ic
dat_qc<11:0>	I	Входные данные канала qc
dat_id<11:0>	I	Входные данные канала id
dat_qd<11:0>	I	Входные данные канала qd
dat_ie<11:0>	I	Входные данные канала ie
dat_je<11:0>	I	Входные данные канала je
dat_if<11:0>	I	Входные данные канала if
dat_qf<11:0>	I	Входные данные канала qf
dat_ig<11:0>	I	Входные данные канала ig
dat_qg<11:0>	I	Входные данные канала qg
dat_ih<11:0>	I	Входные данные канала ih
dat_qh<11:0>	I	Входные данные канала qh
adj<15:4>	I	Цифровой вход регистра настройки ЦАП
vdd18	I/O	Напряжение питания аналоговых блоков (1,8 В)
vdd	I/O	Напряжение питания цифровых блоков (1 В)
gnd	I/O	Шина нулевого потенциала

**Таблица 1:** Описание портов регистра настройки ЦАП

Битовый диапазон регистра ADJ<15:4>	Назначение выводов
ADJ<15:12>	Настройка входного синфазного сигнала
ADJ<11:8>	Настройка амплитуды выходного сигнала
ADJ<7:4>	Настройка тока смещения выходного буфера

## 6. ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 2 приведены размеры блока цифро-аналогового преобразователя.

Таблица 2: Размеры блока

Размер	Значение	Единица измерения
Высота	738	МКМ
Ширина	2386	МКМ

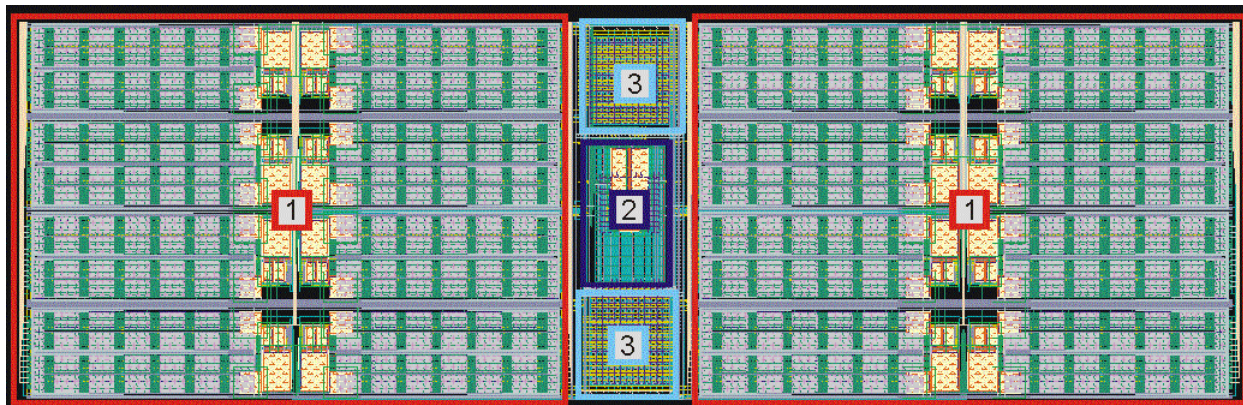


Рисунок 2: Общий вид топологии блока 12-бит R/2R ЦАП

1. Ядро ЦАП
2. Настраиваемый источник опорных напряжений
3. Фильтрующие емкости + блок управления

## 7. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

### 7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология \_\_\_\_\_ TSMC КМОП 90 нм

Статус \_\_\_\_\_ подготовка к верификации

 Занимаемая площадь \_\_\_\_\_ 1,76 мм<sup>2</sup>

### 7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

 Значения электрических параметров приведены для  $V_{dd18} = 1,62 \div 1,98$  В,  $V_{dd} = 0,9 \div 1,1$  В и  $T_j = -60 \div 125$  °С, типовые значения при  $V_{dd18} = 1,8$  В,  $V_{dd} = 1,0$  В,  $T_j = 27$  °С, если иное не оговорено.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания аналоговых блоков	$V_{dd18}$	-	1,62	1,8	1,98	В
Напряжение питания цифровых блоков	$V_{dd}$	-	0,9	1,0	1,1	В
Диапазон рабочих температур	$T_j$	-	-60	27	+125	°С
Опорное напряжение	$V_{ref}$	-	1,08	1,2	1,32	В
Разрядность	$N$	-	-	12	-	бит
Тактовая частота	$F_{clk}$	-	-	1	-	МГц
Частота выборки	$F_s$	-	-	1	-	Мвыб/с
Ток в режиме ожидания	$I_{st}$	-	-	650	-	нА
Потребляемая мощность	$P_{cn}$	-	4,34	11,9	43,04	мВт
Потребляемый ток	$I_{cn}$	-	2,68	6,6	21,74	мА
Дифференциальное выходное напряжение	$V_{dref}$	-	1,04	1,04	2,0	В
Напряжение выходного синфазного сигнала	$V_{cmout}$	-	0,68	1,0	1,3	В
Максимальная дифференциальная нелинейность	DNL	$F_{clk}=1$ МГц, значение регистров регулировки: $adj<15:4> = "100000000100"$	0,52	0,74	0,93	МЗР
Максимальная интегральная нелинейность	INL		0,93	1,20	1,48	МЗР
Ошибка смещения	OE		-8,0	0,88	8,0	МЗР
Ошибка усиления	GE		-0,89	-0,17	0,89	%
Время установления	$t_{set}$		276	278	279	нс
Входное напряжение высокого уровня	$V_{IH}$	Для цифровых входов	0,7	-	-	В
Входное напряжение низкого уровня	$V_{IL}$		-	-	0,3	В

## **8. КОМПЛЕКТ ПОСТАВКИ**

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация