
10-разрядный ЦАП

СПЕЦИФИКАЦИЯ

1. ОСОБЕННОСТИ

- SMIC EEPROM КМОП 0,18 мкм
- Разрядность 10-бит
- Частота тактирования 100 МГц
- Высокие значения реального динамического диапазона на частотах выходного сигнала до 25 МГц
- Регулируемый выходной ток (от 1,3 мА до 21 мА)
- Низкое энергопотребление в режиме ожидания (200 нА)
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, Vanguard, SilTerra

2. ПРИМЕНЕНИЕ

- Беспроводная инфраструктура
- Пико- и фемтосоты
- Медицинские приборы
- Возбуждение ультразвуковых преобразователей
- Генераторы сигналов, генераторы произвольных сигналов

3. ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

10-битный ЦАП построен на основе токовой архитектуры, обеспечивающей высокую скорость преобразования и хорошие динамические характеристики. ЦАП состоит из трёх основных блоков: схема регулируемых опорных напряжений и токов, декодирующая логика, матрица источников токов с ключами. Схема предусматривает возможность регулировки выходного тока, также предусмотрен режим ожидания, отключающий схему. Для работы блока требуются следующие напряжения питания: аналоговое и цифровое 1,8 В, аналоговая и цифровая земля. Выводы `dac<2:0>` предназначены для регулировки выходного тока ЦАП.

Устройство выполнено по технологии SMIC EEPROM КМОП 0,18 мкм.

4. СТРУКТУРА

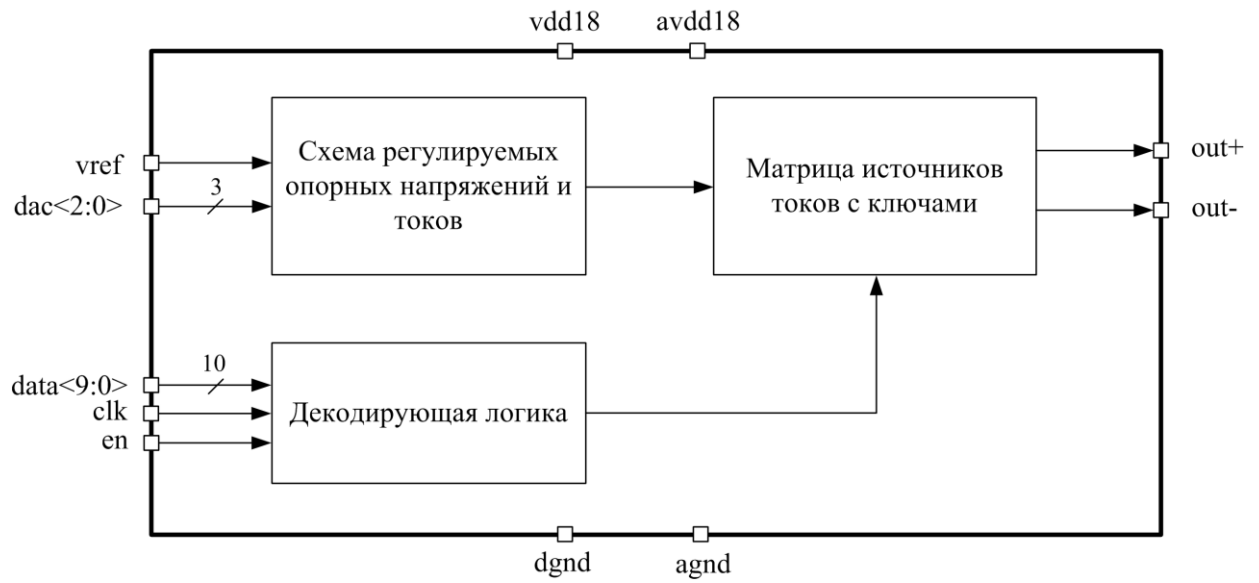


Рисунок 1: Блок-схема 10-разрядного ЦАП

5. ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
en	I	Активация режима ожидания
clk	I	Вход тактирования (100 МГц)
rst	I	Активация сброса (на вход подаётся половина шкалы)
vref	I	Входное опорное напряжение (1,2 В)
out+	O	Выходной дифференциальный сигнал
out-		
data<9:0>	I	Шина входных данных
dac <2:0>	I	Регулировка выходного тока
avdd18	I/O	Напряжение питания аналоговых блоков (1,8 В)
vdd18	I/O	Напряжение питания цифровых блоков (1,8 В)
dgnd	I/O	Шина нулевого потенциала цифровых блоков
agnd	I/O	Шина нулевого потенциала аналоговых блоков

6. ОПИСАНИЕ ТОПОЛОГИИ

В таблице 1 приведены размеры топологии цифро-аналогового преобразователя.

Таблица 1: Размеры блока

Размеры	Значение	Единица измерения
Высота	665	МКМ
Ширина	570	МКМ

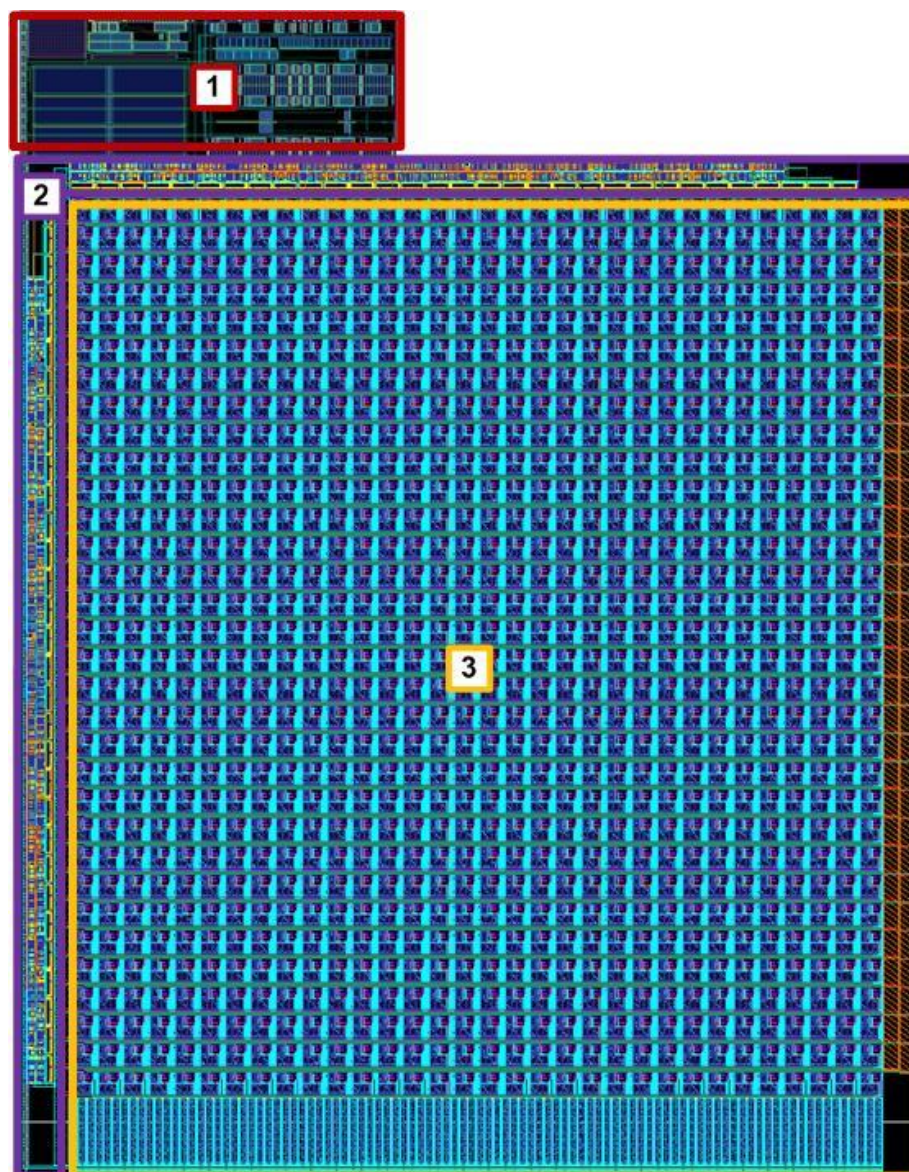


Рисунок 2: Общий вид топологии 10-разрядного ЦАП

1. Схема регулируемых опорных напряжений и токов
2. Управляющая логика
3. Матрица источников токов с ключами

7. ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ SMIC EEPROM КМОП 0,18 мкм

Статус _____ верифицирован в кремнии

 Занимаемая площадь _____ 0,38 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

 Значения электрических параметров приведены для $V_{dd18} = 1,7 \div 1,9$ В, $T_j = -60 \div +120$ °С. Типовые значения приведены для $V_{dd18} = 1,8$ В, $T_j = +27$ °С.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания аналоговых и цифровых блоков	V_{dd18}	-	1,7	1,8	1,9	В
Диапазон рабочих температур	T_j	-	-60	27	+120	°С
Разрядность	N	-	-	10	-	бит
Частота тактирования	F_{clk}	-	-	100	-	МГц
Ток потребления в режиме ожидания	I_{st}	-	-	200	-	нА
Потребляемая мощность	P_{diss}	-	5,7	38	38	мВт
Выходной ток	I_{out}	-	1,3	-	21	мА
Реальный динамический диапазон	SFDR	Частота входного сигнала ≤ 25 МГц, сопротивление нагрузки 25 Ом, $F_{clk} = 100$ МГц, значение регистров регулировки I_{out} dac<2:0> = "111"	60	62	66	дБ
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	1,3	-	-	В
Входное напряжение низкого уровня	V_{IL}		-	-	0,4	В

8. КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация