
16-бит дельта-сигма стерео, аудио ЦАП

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- TSMC SiGe БиКМОП 0,18 мкм
- Разрядность 16-бит
- 2-канальный
- Раздельные шины питания для цифровой и аналоговой частей схемы
- Тактовая частота от 8 до 32 МГц
- Полоса пропускания до 25 кГц
- Низкое потребление в режиме ожидания:
 - 1,2 нА аналоговых блоков
 - 0,05 мкА цифровых блоков
- Низкая рассеиваемая мощность:
 - 61,3 мВт режим работы на низкоомную нагрузку $R_{load} = 32 \text{ Ом}$
 - 5,95 мВт режим работы на высокоомную нагрузку $R_{load} = 32 \text{ кОм}$
- Реальный динамический диапазон:
 - 85 дБ режим работы на низкоомную нагрузку $R_{load} = 32 \text{ Ом}$
 - 76 дБ режим работы на высокоомную нагрузку $R_{load} = 32 \text{ кОм}$
- Отношение сигнал/шум:
 - 69 дБ режим работы на низкоомную нагрузку $R_{load} = 32 \text{ Ом}$
 - 73 дБ режим работы на высокоомную нагрузку $R_{load} = 32 \text{ кОм}$
- Занимаемая площадь 0,57 мм²
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, SilTerra, X-FAB

2 СФЕРА ПРИМЕНЕНИЯ

- Портативные аудиоустройства

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Дельта-сигма стерео, аудио ЦАП состоит из источника опорных сигналов, блока управления, цифровых буферов I2S интерфейса (ws, sd, sck, gpio), двух идентичных каналов L и R: дельта-сигма модулятор второго порядка, токовый ЦАП, фильтр низких частот и аналоговый буфер. ЦАП необходимы напряжения питания: 2,8 ÷ 3,6 В для аналоговых блоков и 1,62 ÷ 1,98 В для цифровых блоков; термнезависимый опорный ток 4,95 ÷ 5,05 мкА; опорный тактовый сигнал с скважностью 45 ÷ 55 %. Схема может работать в режиме ожидания, обеспечивая минимальное энергопотребление. Существует возможность настройки рабочих режимов ЦАП с помощью регистров: регистр mode<2:0> управляет режимами работы ЦАП и I2S интерфейса (sd, ws), регистр mode_sck<2:0> управляет режимами работы I2S интерфейса (sck), mode_gpio<2:0> управляет режимами работы I2S интерфейса (gpio). Для настройки оптимального потребления ЦАП существуют регистры: adj_idc_buff<3:0> управляет настройками тока аналогового буфера, adj_idc_cs<3:0> управляет настройками тока токового ЦАП, adj_idc_lpf<4:0> управляет настройками тока фильтра низких частот, сигнал enpg управляет размахом выходного сигнала токового ЦАП, регулируя линейность токового ЦАП. Регистр adj_idc_cs<3:0> также управляет настройками выходного размаха сигнала. Устройство выполнено по технологии TSMC SiGe БиКМОП 0,18 мкм.

4 БЛОК-СХЕМА

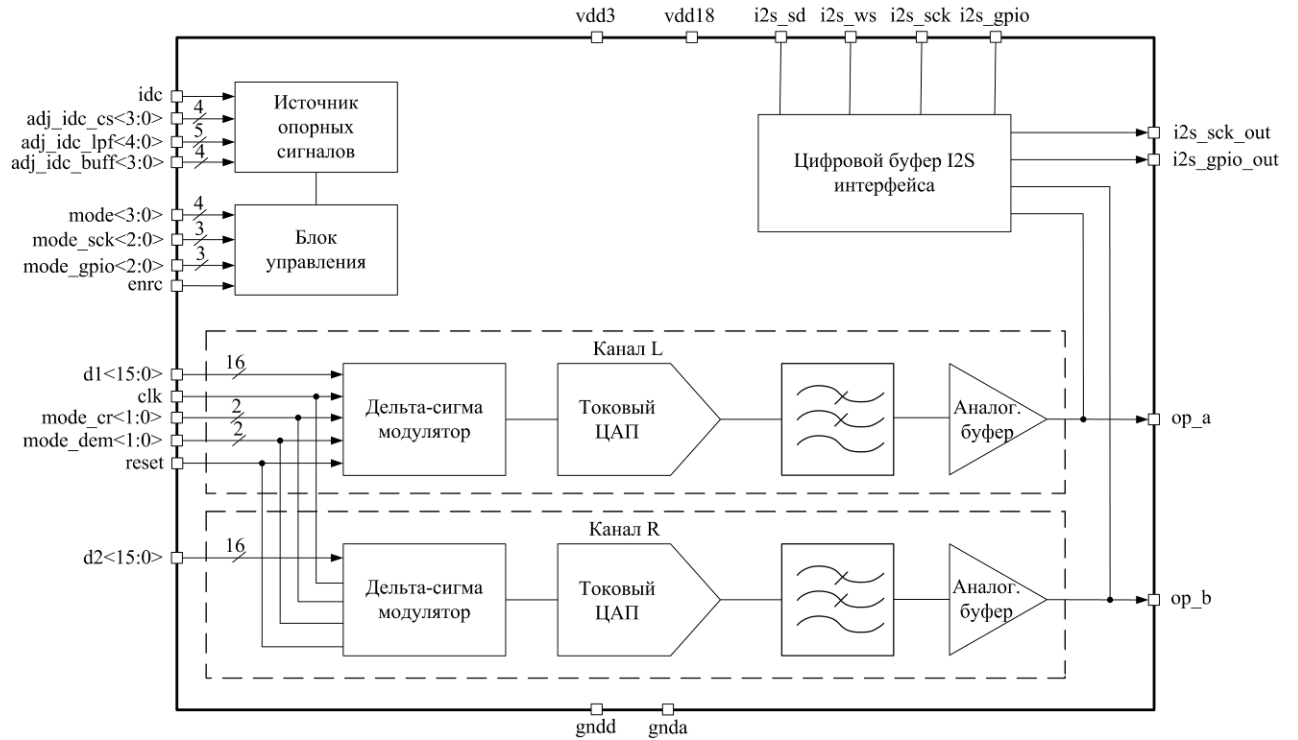


Рисунок 1: Блок-схема дельта-сигма стерео, аудио ЦАП

5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
idc	I	Опорный ток (5 мкА)
i2s_sd	I	Входные данные I ² S интерфейса
i2s_ws	I	
i2s_sck	I	
i2s_gpio	I	
clk	I	
enrc	I	Сигнал настройки токового ЦАП
reset	I	Сигнал сброса дельта-сигма модулятора, активный уровень (сброс) – “1”
op_a	O	Выходной сигнал канала L
op_b	O	Выходной сигнал канала R
i2s_sck_out	O	Выходные данные I2S интерфейса
i2s_gpio_out	O	
d1<15:0>	I	Входные данные канала L
d2<15:0>	I	Входные данные канала R
adj_idc_buff<3:0>	I	Регистр настройки тока буфера
adj_idc_cs<3:0>	I	Регистр настройки тока токового ЦАП (размах выходного сигнала)
adj_idc_lpf<4:0>	I	Регистр настройки тока фильтра низких частот
mode<2:0>	I	Регистр настройки режимов дельта-сигма ЦАП и I2S интерфейса (sd, ws)
mode_sck<2:0>	I	Регистр настройки I2S интерфейса (sck)
mode_gpio<2:0>	I	Регистр настройки I2S интерфейса (gpio)
mode_cr<1:0>	I	Регистр настройки режимов коррекции дельта-сигма модулятора
mode_dem<1:0>	I	Регистр настройки частоты dem коррекции
vdd18	I/O	Напряжение питания цифровых блоков (1,8 В)
vdd33	I/O	Напряжение питания аналоговых блоков (3 В)
gndd	I/O	Шина нулевого потенциала цифровых блоков
gnda	I/O	Шина нулевого потенциала аналоговых блоков

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры дельта-сигма стерео, аудио ЦАП.

Таблица 1: Размеры блока.

Размер	Значение	Единица измерения
Высота	500	МКМ
Ширина	1120	МКМ

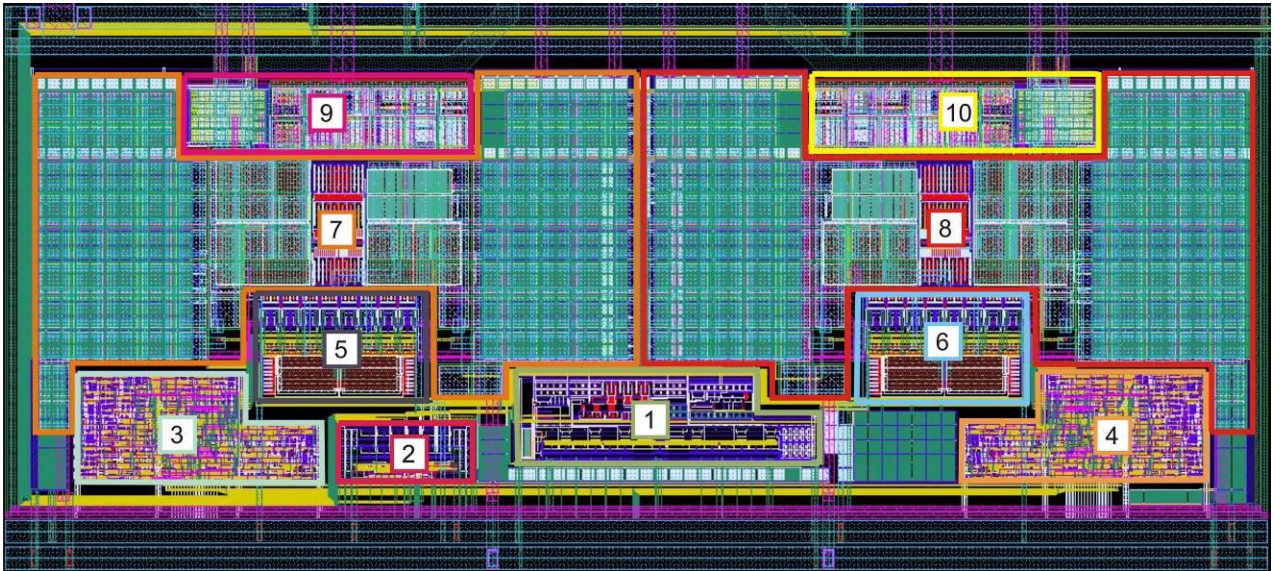


Рисунок 2: Топология дельта-сигма стерео, аудио ЦАП

1. Источник опорных сигналов
2. Блок управления
- 3, 4. Дельта сигма модулятор (L и R каналы)
- 5, 6. Токовый ЦАП (L и R каналы)
- 7, 8. Фильтр низких частот (L и R каналы)
- 9, 10. Аналоговый буфер (L и R каналы)

В таблице 2 приведены размеры блока цифрового буфера I2S интерфейса.

Таблица 2: Размеры блока.

Размер	Значение	Единица измерения
Высота	104	МКМ
Ширина	53	МКМ

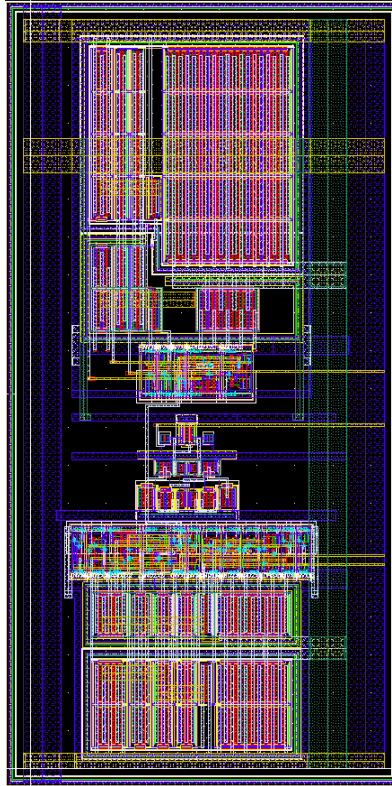


Рисунок 3: Топология цифрового буфера

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ TSMC SiGe БиКМОП 0,18 мкм
 Статус _____ подготовлен к верификации
 Занимаемая площадь _____ 0,57мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{dda} = 2,8 \div 3,6$ В, $V_{ddd} = 1,62 \div 1,98$ В и $T_j = -40 \div 80^\circ\text{C}$, типовые значения при $V_{dda} = 3,0$ В, $V_{ddd} = 1,8$ В, $T_j = +27^\circ\text{C}$, если иное не оговорено

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания аналоговых блоков	V_{dda}	-	2,8	3,0	3,6	В
Напряжение питания цифровых блоков	V_{ddd}	-	1,62	1,8	1,98	В
Диапазон рабочих температур	T_j	-	-40	27	+80	$^\circ\text{C}$
Опорный ток	I_{ref}	-	4,95	5,0	5,05	мкА
Скважность тактового сигнала	S	-	45	50	55	%
Разрядность	N	-	-	16	-	бит
Тактовая частота	F_{clk}	-	8	-	32	МГц
Ток в режиме ожидания	I_s	-	1	1.2	8.9	нА
Ток в режиме ожидания цифровых	I_s	-	0,008	0,05	5,4	мкА
Размах сигнала на дифференциальных выходах	$A_{IN\ p-p}$	-	-	1	-	В
Полоса пропускания	F_b	-	-	25	-	кГц
Потребляемый ток цифровых блоков	I_{cn}	$F_{clk} = 25$ МГц $F_b = 12,2$ кГц $mode<2:0> = "010"$ $mode_sck<1:0> = "00"$ $adj_idc_cs<3:0> = "1011"$ $adj_idc_lpf<4:0> = "01010"$ $adj_idc_buf<3:0> = "1010"$ $enrc = "1"$	-	0,5	-	мА

Продолжение таблицы «Электрические характеристики»

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Потребляемый ток аналоговых блоков	I _{ен}	F _{clk} = 25 МГц F _b = 12,2 кГц R _{load} = 32 Ом mode<2:0> = "010" mode_sck<1:0> = "00" adj_idc_cs<3:0> = "1011" adj_idc_lpf<4:0> = "01010" adj_idc_buf<3:0> = "1010" enrc = "1"	-	20	-	мА
		F _{clk} = 25 МГц F _b = 12,2 кГц без R _{load} mode<2:0> = "010" mode_sck<1:0> = "00" adj_idc_cs<3:0> = "1011" adj_idc_lpf<4:0> = "01010" adj_idc_buf<3:0> = "1010" enrc = "1"	11,8	13	16,22	мА
		F _{clk} = 25 МГц F _b = 12,2 кГц R _{load} = 32 кОм mode<2:0> = "001" mode_sck<1:0> = "00" adj_idc_cs<3:0> = "1011" adj_idc_lpf<4:0> = "11111" adj_idc_buf<3:0> = "1010" enrc = "1"	1,52	1,55	1,63	мА
Динамический диапазон, свободный от паразитных составляющих	SFDR	F _{clk} = 25 МГц F _b = 12,2 кГц R _{load} = 32 Ом mode<2:0> = "010" mode_sck<1:0> = "00" adj_idc_cs<3:0> = "1011" adj_idc_lpf<4:0> = "01010" adj_idc_buf<3:0> = "1010" enrc = "1"	-	83	-	дБ
		F _{clk} = 25 МГц F _b = 12,2 кГц R _{load} = 32 кОм mode<2:0> = "001" mode_sck<1:0> = "00" adj_idc_cs<3:0> = "1011" adj_idc_lpf<4:0> = "11111" adj_idc_buf<3:0> = "1010" enrc = "1"	-	76	-	дБ

Продолжение таблицы «Электрические характеристики»

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Отношение сигнал/шум	SNR	$F_{clk} = 25 \text{ МГц}$ $F_b = 12,2 \text{ кГц}$ $R_{load} = 32 \text{ Ом}$ $mode_{<2:0>} = "010"$ $mode_sck_{<1:0>} = "00"$ $adj_idc_cs_{<3:0>} = "1011"$ $adj_idc_lpf_{<4:0>} = "01010"$ $adj_idc_buf_{<3:0>} = "1010"$ $enrc = "1"$	-	69	-	дБ
		$F_{clk} = 25 \text{ МГц}$ $F_b = 12,2 \text{ кГц}$ $R_{load} = 32 \text{ кОм}$ $mode_{<2:0>} = "001"$ $mode_sck_{<1:0>} = "00"$ $adj_idc_cs_{<3:0>} = "1011"$ $adj_idc_lpf_{<4:0>} = "11111"$ $adj_idc_buf_{<3:0>} = "1010"$ $enrc = "1"$	-	73	-	дБ
Тактовая частота I ² S интерфейса	F_{clk}	$C_{load} = 10 \text{ пФ}$	-	-	50	МГц
Входное напряжение высокого уровня	V_{IH}	-	0,7 V_{ddd}	-	-	В
Входное напряжение низкого уровня	V_{IL}	-	-	-	0,3 V_{ddd}	В

8 ДИНАМИЧЕСКИЕ ХАРАКТЕРИСТИКИ

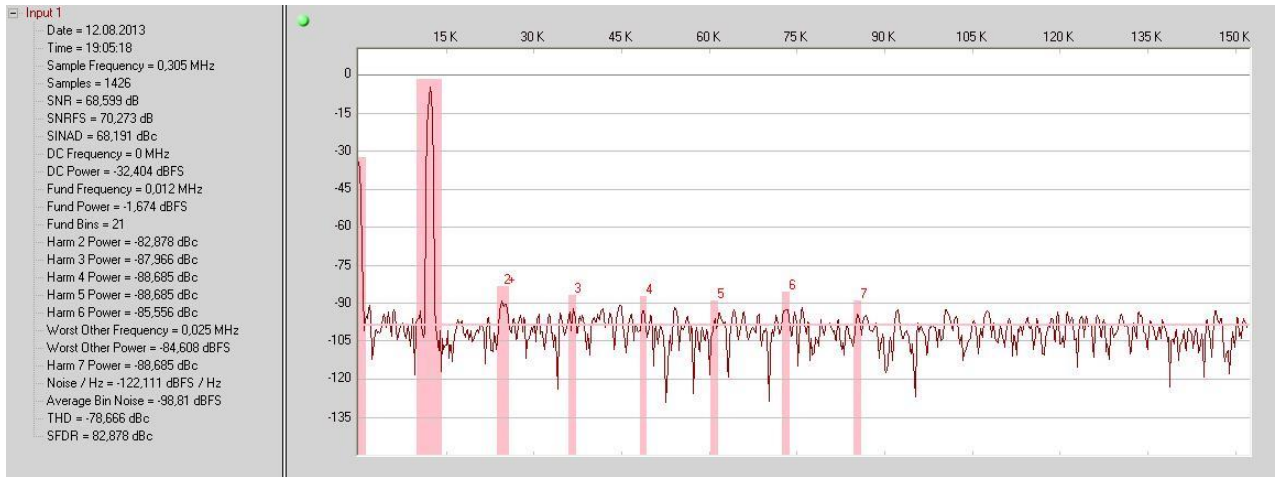


Рисунок 4: Спектральная характеристика, режим работы на низкоомную нагрузку (mode<2:0> = “010”) $R_{load} = 32 \text{ Ом}$

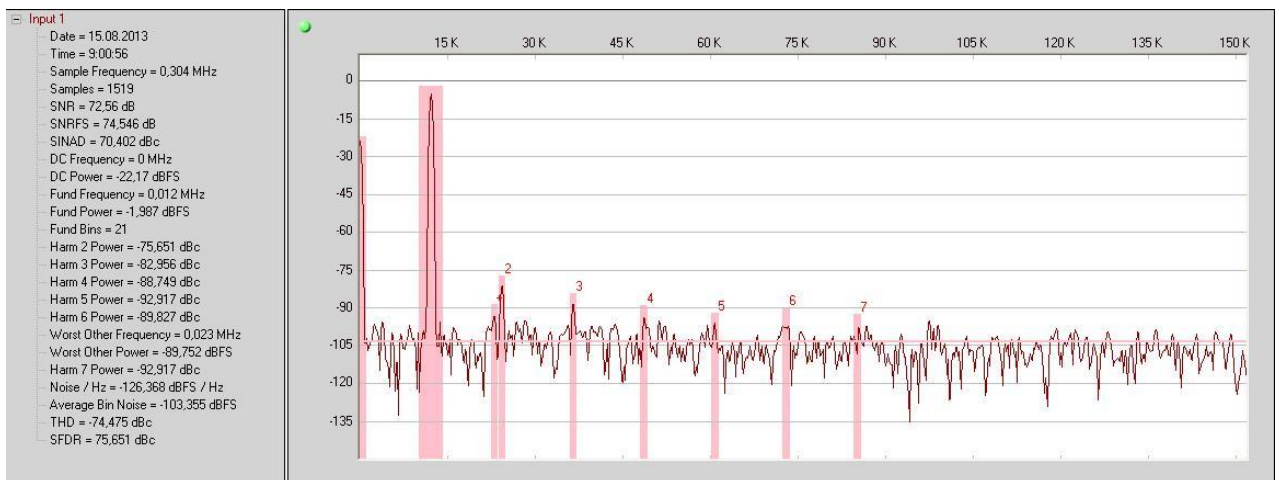


Рисунок 5: Спектральная характеристика, режим работы на высокоомную нагрузку (mode<2:0> = “010”) $R_{load} = 32 \text{ кОм}$

9 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация

СПИСОК ИЗМЕНЕНИЙ

От версии 1.1:

- Раздел «Особенности» (смотрите стр. 1)
- Подраздел 7.1 «Технические характеристики» (смотрите стр. 6)
- Раздел «Динамические характеристики» (смотрите стр. 9)