

Программируемый 5-разрядный ВЧ делитель в ЭСЛ логике

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- AMS БиКМОП 0,35 мкм
- Полностью дифференциальная структура
- Диапазон регулировки коэффициента деления 16..62 с шагом 2
- Работа с входным дифференциальным сигналом частотой до 1,7 ГГц
- Коэффициент заполнения выходного сигнала 0,5
- Масштабируемая структура
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, AMS, Vanguard, SilTerra

2 СФЕРА ПРИМЕНЕНИЯ

- Синтезатор частоты с ФАПЧ

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Делитель выполнен в ЭСЛ логике по принципу последовательного каскадирования делителей с изменяемым коэффициентом деления $2/3$, что позволяет при необходимости масштабировать структуру в сторону уменьшения минимального коэффициента деления либо в сторону увеличения максимального коэффициента деления. Дифференциальная схема обладает повышенной помехоустойчивостью, а выходной делитель на 2, реализованный на базе D-триггера, обеспечивает коэффициент заполнения выходного сигнала равный 0,5.

Блок выполнен по технологии AMS БиКМОП 0,35 мкм.

4 БЛОК-СХЕМА

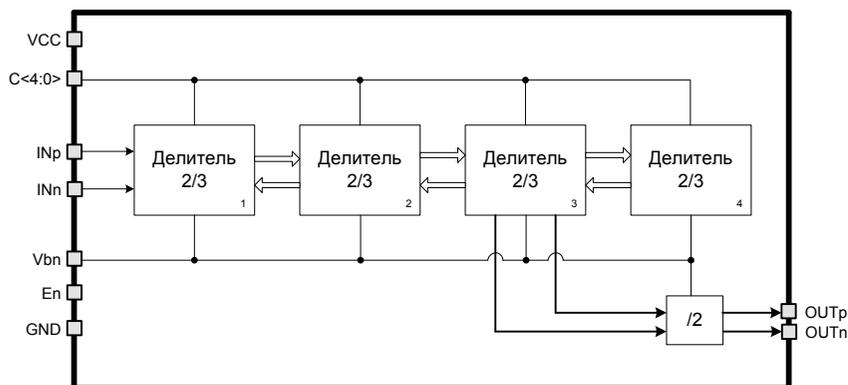


Рисунок 1: Блок-схема программируемого 5-разрядного ВЧ делителя

5 ОПИСАНИЕ ПОРТОВ

Название	Направление	Описание
INp	I	Аналоговый дифференциальный вход
INn	I	
C<4:0>	I	Цифровой код коэффициента деления
Vbn	I	Опорное напряжение источников тока
En	I	Выключение/включение делителя
OUTp	O	Аналоговый дифференциальный выход
OUTn	O	
VCC	IO	Шина напряжения питания
GND	IO	Шина нулевого потенциала

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока программируемого 5-разрядного ВЧ делителя в ЭСЛ логике.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	214	МКМ
Ширина	485	МКМ

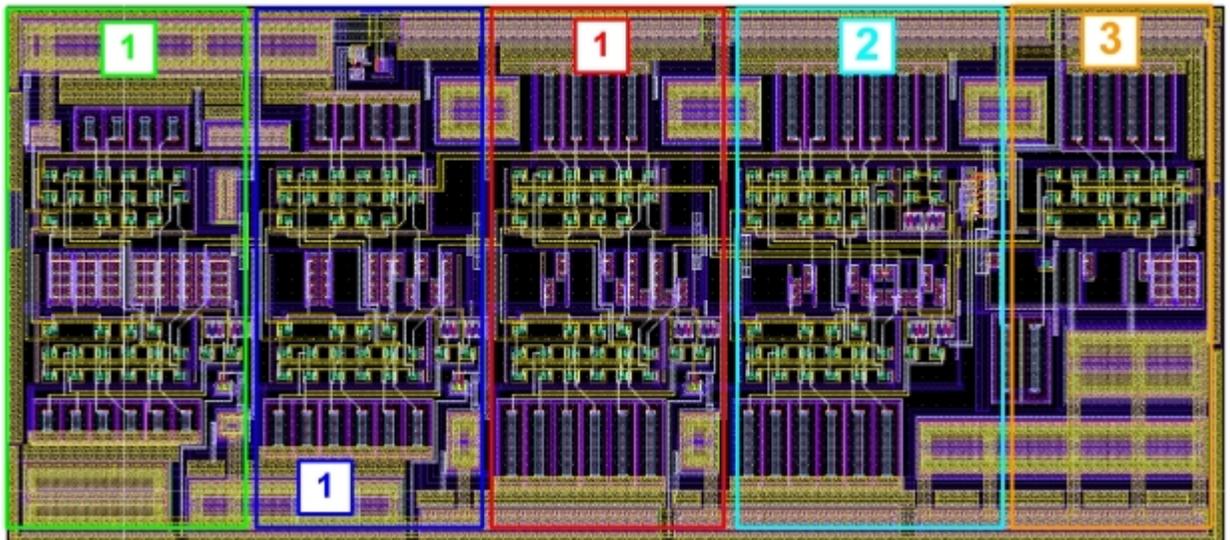


Рисунок 2: Вид топологии блока

1. Делитель частоты 2/3
2. Делитель частоты 2/3 с управляющей логикой
3. Выходной делитель /2

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКАЯ ХАРАКТЕРИСТИКА

Технология _____ AMS БиКМОП 0,35 мкм
 Статус _____ верифицирован в кремнии
 Занимаемая площадь _____ 0,104 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{cc} = 2,4 \div 3,6$ В и $T_j = -40 \div +85^\circ\text{C}$, если иное не оговорено; типовые значения при $V_{cc} = 2,7$ В и $T_j = +27^\circ\text{C}$.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания	V_{cc}	-	2,4	2,7	3,6	В
Температура окружающей среды при эксплуатации	T_j	-	-40	27	85	$^\circ\text{C}$
Коэффициент деления	N	-	16	-	62	-
Частота входного сигнала	F_{IN}	-	-	-	1,7	ГГц
Размах входного напряжения	$A_{in\ p-p}$	На дифференциальном входе	0,3	0,4	0,8	В
Синфазная составляющая входного сигнала	$A_{in\ dc}$	$V_{cc}=2,7$ В	1,5	1,7	2,0	В
Размах выходного напряжения	$A_{out\ p-p}$	На дифференциальном выходе	0,3	0,4	0,55	В
Синфазная составляющая выходного сигнала	$A_{out\ dc}$	$V_{cc}=2,7$ В	1,6	1,8	2,0	В
Ток потребления	I_{dd}	-	-	1,5	-	мА
Ток потребления в режиме ожидания	I_{st}	-	-	15	100	нА
Входное напряжение высокого уровня	V_{IH}	-	$0,9V_{cc}$	-	V_{cc}	В
Входное напряжение низкого уровня	V_{IL}	-	-0,2	0	0,2	В

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация

СПИСОК ИЗМЕНЕНИЙ

1. От версии 1.0:
 - Раздел «Техническая характеристика» (смотрите [стр.3](#))