

Программируемый ВЧ делитель синтезатора с ФАПЧ в КМОП логике

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- TSMC БиКМОП 0,18 мкм
- Широкий диапазон коэффициентов деления 16...1023
- Низкий ток потребления
- Компактная структура
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, AMS, Vanguard, SilTerra

2 СФЕРА ПРИМЕНЕНИЯ

- Синтезатор частоты с ФАПЧ

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Схема состоит из преобразователя дифференциального входного сигнала в униполярный с размахом равным напряжению питания, предварительного делителя с изменяемым коэффициентом деления 4/5 и двух двоично-десятичных счетчиков.

Устройство выполнено по технологии TSMC БиКМОП 0,18 мкм.

4 БЛОК-СХЕМА

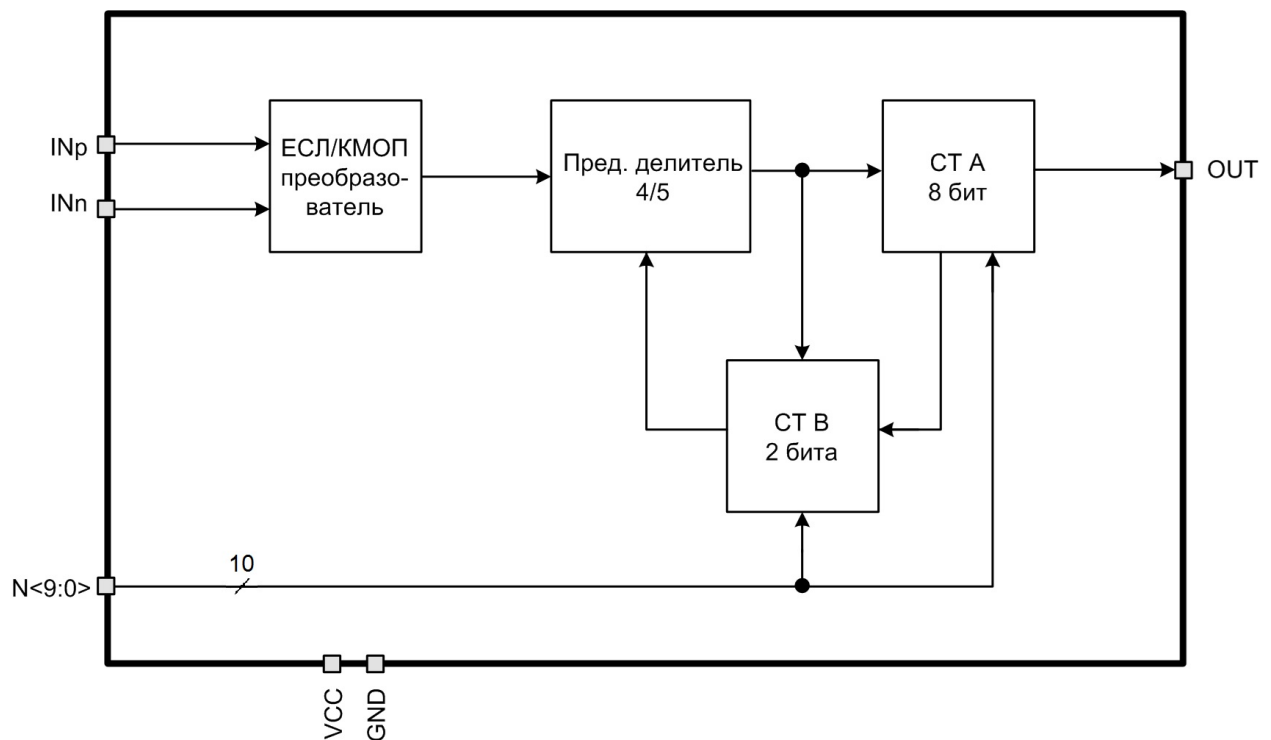


Рисунок 1: Блок-схема программируемого ВЧ делителя

5 ОПИСАНИЕ ПОРТОВ

Название	Направление	Описание
INp	I	Аналоговый дифференциальный вход
INn	I	
N<9:0>	I	Цифровой код коэффициента деления
OUT	O	Выход делителя
VCC	IO	Шина напряжения питания 2,0 В
GND	IO	Шина нулевого потенциала

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока программируемого делителя частоты в КМОП логике.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	31	мкм
Ширина	120	мкм

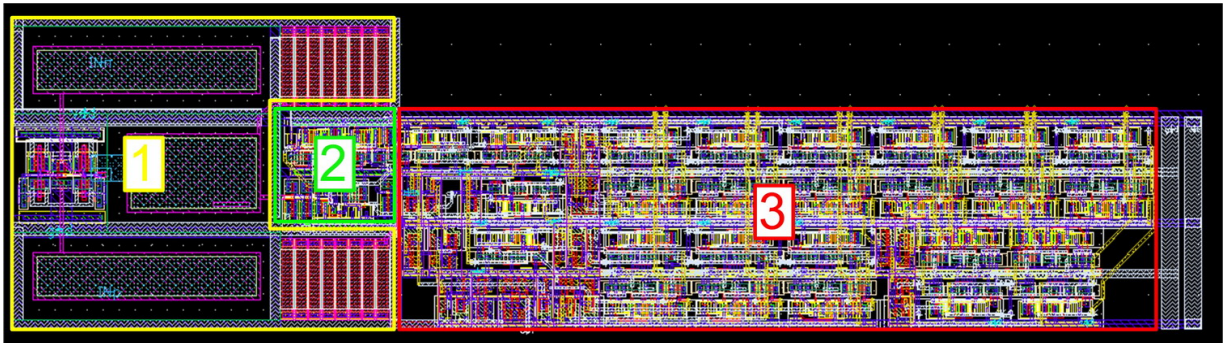


Рисунок 2: Вид топологии блока

1. Преобразователь сигнала ЭСЛ в КМОП
2. Предварительный делитель с изменяемым коэффициентом деления 4/5
3. Программируемый делитель на базе двух двоично-десятичных счетчиков

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ TSMC БиКМОП 0,18 мкм
 Статус _____ верифицирован в кремнии
 Занимаемая площадь _____ 0,004 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{cc} = 1,8 \div 2,2$ В и $T_j = -40 \div +85$ °С, если иное не оговорено; типовые значения при $V_{cc} = 2,0$ В и $T_j = +27$ °С.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип.	макс	
Напряжение питания	V_{cc}	-	1,8	2,0	2,2	В
Температура окружающей среды при эксплуатации	T_j	-	-40	+27	+85	°С
Коэффициент деления	R	-	16	-	1023	-
Минимальная частота входного сигнала	$F_{IN\ MIN}$	-	-	-	500	МГц
Максимальная частота входного сигнала	$F_{IN\ MAX}$	$V_{cc} = 1,8$ В	2100	-	-	МГц
		$V_{cc} = 2,0$ В	2500	-	-	МГц
		$V_{cc} = 2,2$ В	2900	-	-	МГц
Размах выходного напряжения	$A_{out\ p-p}$	-	1,8	2,0	2,2	В
Размах входного напряжения	$A_{in\ p-p}$	-	0,5	0,6	-	В
Ток потребления	I_{dd}	$F_{IN} = 900$ МГц	0,34	0,43	0,66	мА
		$F_{IN} = 1300$ МГц	0,4	0,5	0,75	
		$F_{IN} = 1800$ МГц	0,47	0,6	0,87	
Входное напряжение высокого уровня	V_{IH}	Для цифрового входа N<9:0>	$0,9V_{cc}$	-	$1,1V_{cc}$	В
Входное напряжение низкого уровня	V_{IL}		-0,2	-	0,2	В

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация