

2/64/128 ВЧ делитель синтезатора с ФАПЧ в КМОП/ЭСЛ логике

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- TSMC БиКМОП 0,18 мкм
- Фиксированный коэффициент деления 128 с дополнительными выходами делителя на 2 и 64
- Наличие ЭСЛ и КМОП делителя
- Возможность включения температурной зависимости опорного тока
- Поддерживаемые технологии: UMC, Global Foundries, SMIC, iHP, AMS, Vanguard, SiTerra

2 СФЕРА ПРИМЕНЕНИЯ

- Синтезатор частоты с ФАПЧ

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

ВЧ делитель частоты состоит из двух независимых друг от друга схем. Первый делитель выполнен в КМОП логике по принципу последовательного включения делителей с коэффициентом деления 2. Второй делитель реализован в ЭСЛ логике и использует дифференциальный сигнал. Источник опорного тока ЭСЛ схемы имеет температурно-зависимый и температурно-независимый режим. Выходные буферы-коммутаторы позволяют выводить сигнал с частотой, поделенной на 2, 64 или 128.

Устройство выполнено по технологии TSMC БиКМОП 0,18 мкм.

4 БЛОК-СХЕМА

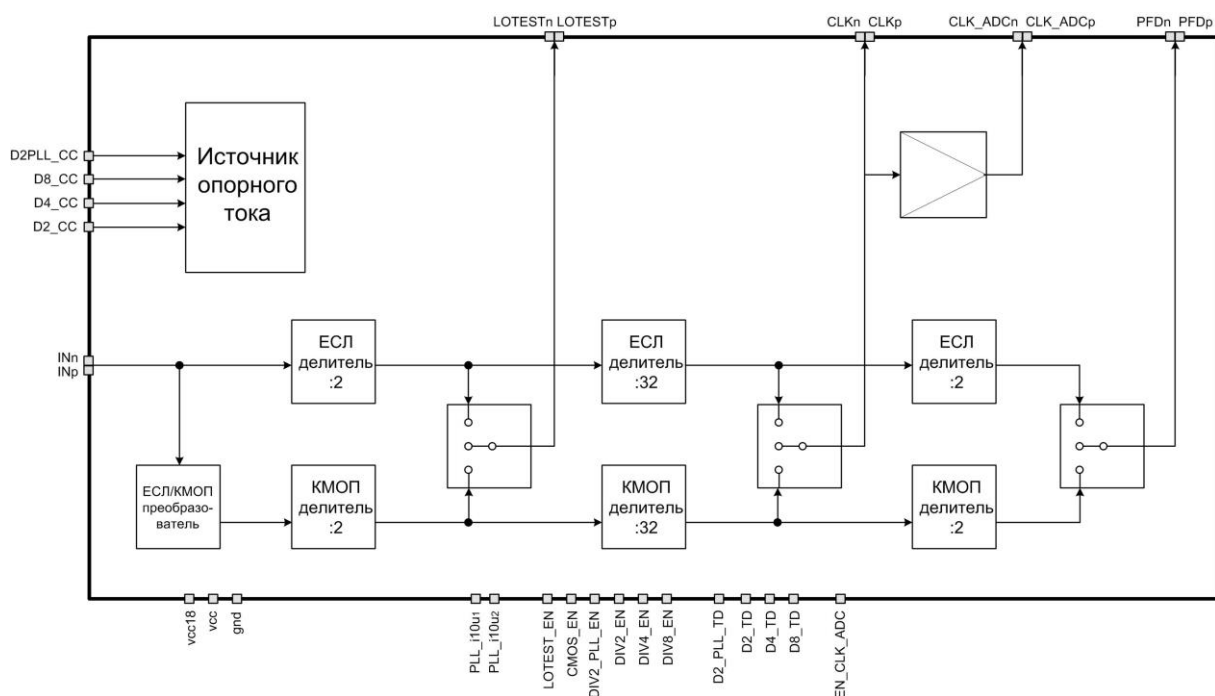


Рисунок 1: Блок-схема 2/64/128 ВЧ делителя

5 ОПИСАНИЕ ПОРТОВ

Название	Направление	Описание
PLL_i10u ₁	I	Опорный ток 10 мкА
PLL_i10u ₂	I	Опорный ток 10 мкА
IN _p	I	Аналоговый дифференциальный вход
IN _n	I	
D2_PLL_CC	I	Управление током потребления делителя на 2 сигнала ГУН для ФАПЧ
D2_CC	I	Управление током потребления делителя на 2
D4_CC	I	Управление током потребления делителя на 4
D8_CC	I	Управление током потребления делителя на 8
D2_PLL_TD	I	Включение температурной зависимости опорного тока входного ЭСЛ-делителя на 2 сигнала ГУН для ФАПЧ
D2_TD	I	Включение температурной зависимости опорного тока выходного делителя на 2 в ЭСЛ логике
D4_TD	I	Включение температурной зависимости опорного тока делителя на 4 в ЭСЛ логике
D8_TD	I	Включение температурной зависимости опорного тока делителя на 8 в ЭСЛ логике
DIV2_PLL_EN	I	Включение входного делителя на 2 сигнала ГУН для ФАПЧ
DIV2_EN	I	Включение выходного делителя на 2
DIV4_EN	I	Включение выходного делителя на 4
DIV8_EN	I	Включение выходного делителя на 8
CMOS_EN	I	Переключение режима работы делителей (КМОП/ЭСЛ)
LOTEST_EN	I	Включение выходного буфера для сигнала, поделенного на 2
EN_CLK_ADC	I	Включение выходного буфера для сигнала, поделенного на 64
LOTEST _p	O	Выход делителя на 2
LOTEST _n	O	
CLK _p	O	Выход делителя на 64
CLK _n	O	

Продолжение таблицы «Описание портов»

Название	Направление	Описание
PFDp	О	Выход делителя на 128
PFDn	О	
CLK_ADCp	О	Выход буфера сигнала, поделенного на 64
CLK_ADCn	О	
vcc18	Ю	Шина напряжения питания 1,8 В
vcc	Ю	Шина напряжения питания 3,0 В
gnd	Ю	Шина нулевого потенциала

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока 2/64/128 ВЧ делителя синтезатора с ФАПЧ в КМОП/ЭСЛ логике.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	450	мкм
Ширина	200	мкм

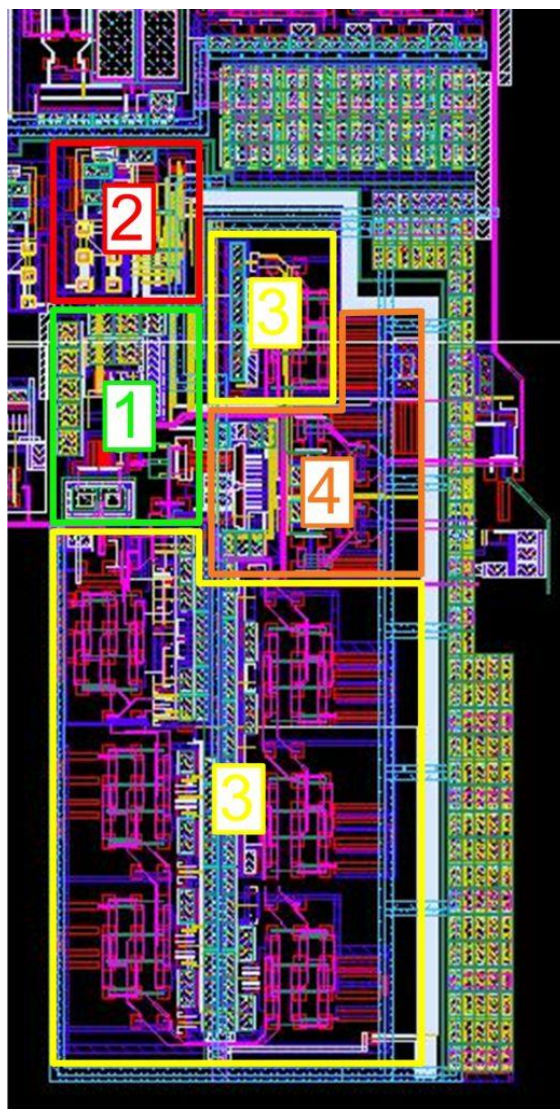


Рисунок 2: Общий вид топологии блока 2/64/128 ВЧ делителя

1. КМОП делители
2. Источник опорных токов
3. ЭСЛ делители
4. Выходные буферы

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ TSMC БиКМОП 0,18 мкм
 Статус _____ верифицирован в кремнии
 Занимаемая площадь _____ 0,09 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{cc18} = 1,7 \div 2,2$ В, $V_{cc} = 2,8 \div 4,5$ В и $T_j = -40 \div +85$ °С, если иное не оговорено; типовые значения при $V_{cc18} = 1,8$ В, $V_{cc} = 3,3$ В и $T_j = +27$ °С.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения	
			мин	тип.	макс		
Напряжение питания	V_{cc18}	-	1,7	1,8	2,2	В	
	V_{cc}	-	2,8	3,3	4,5		
Температура окружающей среды при эксплуатации	T_j	-	-40	+27	+85	°С	
Коэффициент деления	R	-	-	128	-	-	
Частота входного сигнала	F_{IN}	-	500	3200	4500	МГц	
Размах напряжения на дифференциальных входах	A_{div_in}	-	0,4	0,6	-	В	
Размах выходного напряжения	A_{out_p-p}	Для выводов PFDp и PFDn, CLKp и CLKn	-	0,3	-	В	
		Для выводов LOTESTp и LOTESTn, CLK_ADCp и CLK_ADCn	-	0,5	-		
Ток потребления	I_{cc}	КМОП режим	$F_{IN} = 500$ МГц	-	0,84	-	мА
			$F_{IN} = 2500$ МГц	-	1,05		
			$F_{IN} = 4500$ МГц	-	1,25		
		ЭСЛ режим	$F_{IN} = 500$ МГц	-	2,36	-	
			$F_{IN} = 2500$ МГц	-	2,36		
			$F_{IN} = 4500$ МГц	-	2,36		
Ток потребления в режиме ожидания	I_{st}	-	-	5	-	нА	
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	$0,9V_{cc}$	-	$1,1V_{cc}$	В	
Входное напряжение низкого уровня	V_{IL}		-0,2	-	0,2	В	

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация