

# 5-разрядный программируемый НЧ делитель в КМОП логике

## СПЕЦИФИКАЦИЯ

### 1 ОСОБЕННОСТИ

- TSMC SiGe БиКМОП 0,18 мкм
- Непрерывный диапазон коэффициентов деления (1...31)
- Низкий ток потребления 10 мкА
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, AMS, Vanguard, SilTerra

### 2 СФЕРА ПРИМЕНЕНИЯ

- Синтезатор с ФАПЧ

### 3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Схема состоит из асинхронного программируемого счетчика импульсов, управляющей логики и выходного буфера.

Устройство выполнено по технологии TSMC SiGe БиКМОП 0,18 мкм.

### 4 БЛОК-СХЕМА

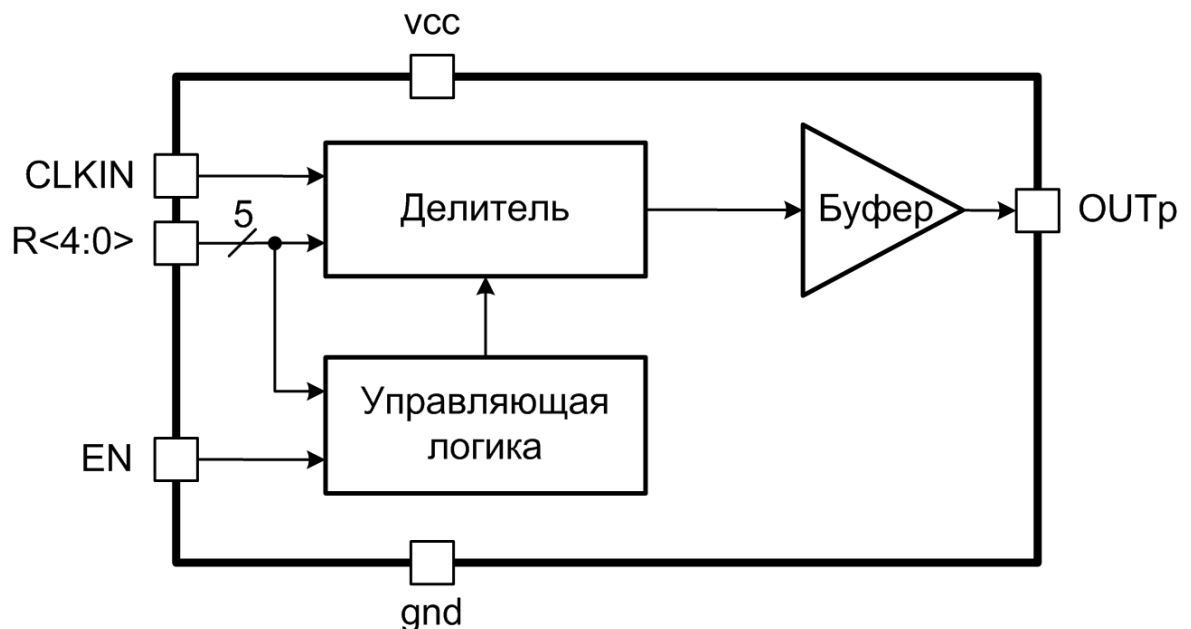


Рисунок 1: Блок-схема 5-разрядного программируемого НЧ делителя

## 5 ОПИСАНИЕ ПОРТОВ

Название	Направление	Описание
CLKIN	I	Вход тактового сигнала
R<4:0>	I	Цифровой код коэффициента деления
EN	I	Выключение/включение делителя
OUTp	O	Линейный выход делителя
vcc	IO	Шина напряжения питания 3,3 В
gnd	IO	Шина нулевого потенциала

## 6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока программируемого делителя частоты в КМОП логике.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Высота	28	МКМ
Ширина	70	МКМ

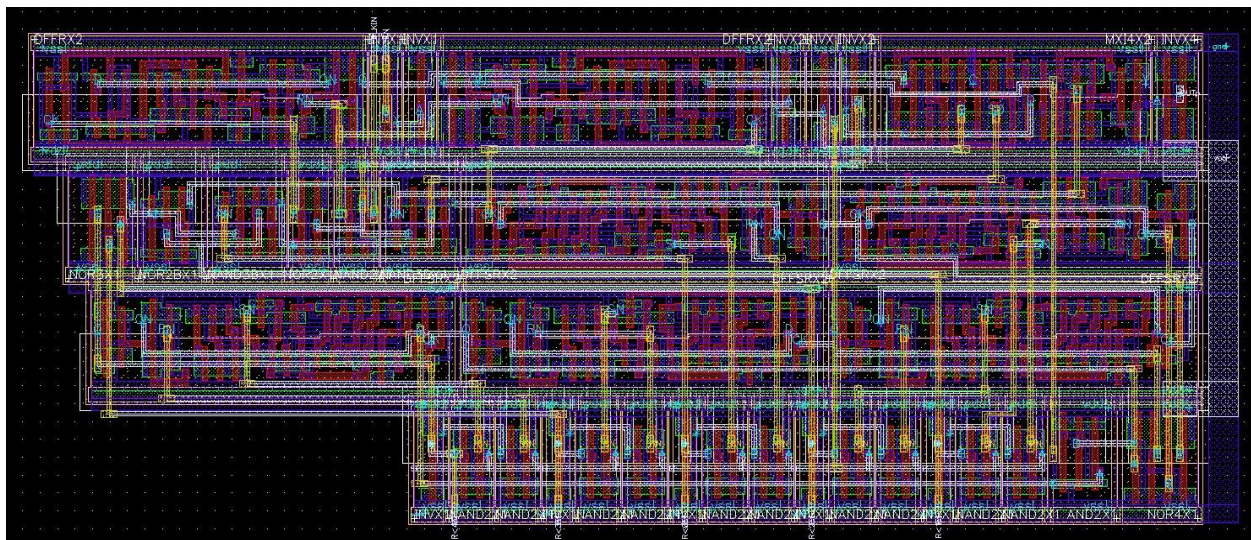


Рисунок 2: Вид топологии блока 5-разрядного программируемого НЧ делителя

## 7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

### 7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология \_\_\_\_\_ TSMC SiGe БиКМОП 0,18 мкм  
 Статус \_\_\_\_\_ верифицирован в кремнии  
 Занимаемая площадь \_\_\_\_\_ 0,002 мм<sup>2</sup>

### 7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для  $V_{cc} = 3,0 \div 3,6$  В и  $T_j = -45 \div +85$  °С, если иное не оговорено; типовые значения при  $V_{cc} = 3,3$  В и  $T_j = +27$  °С.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип.	макс	
Напряжение питания	$V_{cc}$	-	3,0	3,3	3,6	В
Температура окружающей среды	$T_j$	-	-45	+27	+85	°С
Коэффициент деления	R	-	1	-	31	-
Частота входного сигнала	$F_{IN}$	-	0	-	60	МГц
Ток потребления	$I_{cc}$	$F_{IN} = 44$ МГц, R = 1;2	-	10	20	мкА
		$F_{IN} = 44$ МГц, R = 3-31	-	30	45	мкА
Ток потребления в режиме ожидания	$I_{sb}$	-	-	0,05	3,0	нА
Входное напряжение высокого уровня	$V_{IH}$	Для цифрового входа R<4:0>	0,9 $V_{cc}$	-	1,1 $V_{cc}$	В
Входное напряжение низкого уровня	$V_{IL}$		-0,2	-	0,2	В

## 8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация