

Умножитель частоты до 800 МГц с автоподстройкой задержки

СПЕЦИФИКАЦИЯ

1 ОБЕЩАНОСТИ

- TSMC КМОП LP 90 нм
- Низкое дрожание фазы
- Точное выравнивание фронтов опорной и генерируемой частоты
- Низкая потребляемая мощность
- Компактная реализация фильтра нижних частот
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, AMS, Vanguard, SilTerra

2 СФЕРА ПРИМЕНЕНИЯ

- Синтезатор частоты

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Умножитель частоты с автоподстройкой по задержке (MDLL) генерирует умноженную опорную частоту, подстраивая фазы опорного и сгенерированного сигналов. Как и в схемах автоподстройки по задержке (DLL), разность фаз между нарастающими фронтами опорной и генерируемой частоты близка к нулю. Данная схема совмещает низкий фазовый шум схем автоподстройки по задержке с возможностью умножения опорной частоты как в схемах ФАПЧ. Счетчик с переменным модулем счета позволяет варьировать коэффициент умножения.

Устройство выполнено по технологии TSMC КМОП LP 90 нм.

4 БЛОК-СХЕМА

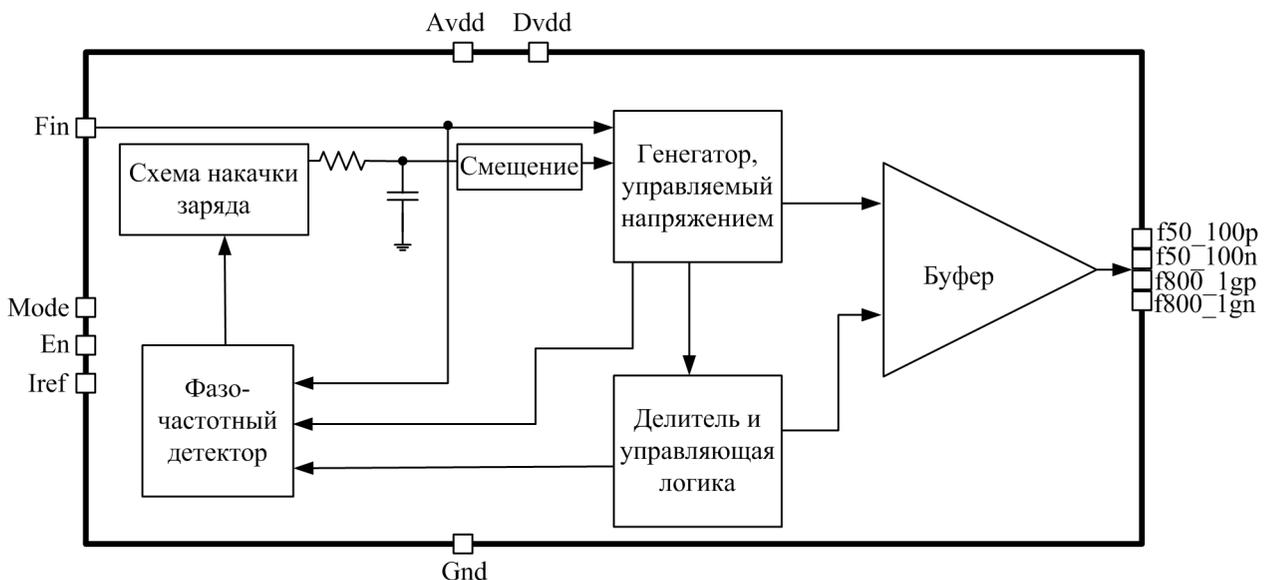


Рисунок 1: Блок-схема умножителя частоты с автоподстройкой по задержке

5 ОПИСАНИЕ ПОРТОВ

Название	Направление	Описание
Iref	I	Опорный ток
Fin	I	Входная опорная частота
Mode	I	Режим работы («0» – 800 МГц, «1» – 1 ГГц)
En	I	Сигнал разрешения работы
f50_100p	O	Выходной сигнал 50 МГц (100 МГц)
f50_100n	O	Инвертированный выходной сигнал 50 МГц (100 МГц)
f800_1gp	O	Выходной сигнал 800 МГц (1 ГГц)
f800_1gn	O	Инвертированный выходной сигнал 800 МГц (1 ГГц)
Avdd	I/O	Напряжение питания аналоговых блоков 1 В
Dvdd	I/O	Напряжение питания цифровых блоков 1 В
Gnd	I/O	Шина нулевого потенциала

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока автоподстройки частоты по задержке.

Таблица 1: Размеры блока

Размер	Значение	Единица измерения
Ширина	70	мкм
Высота	50	мкм

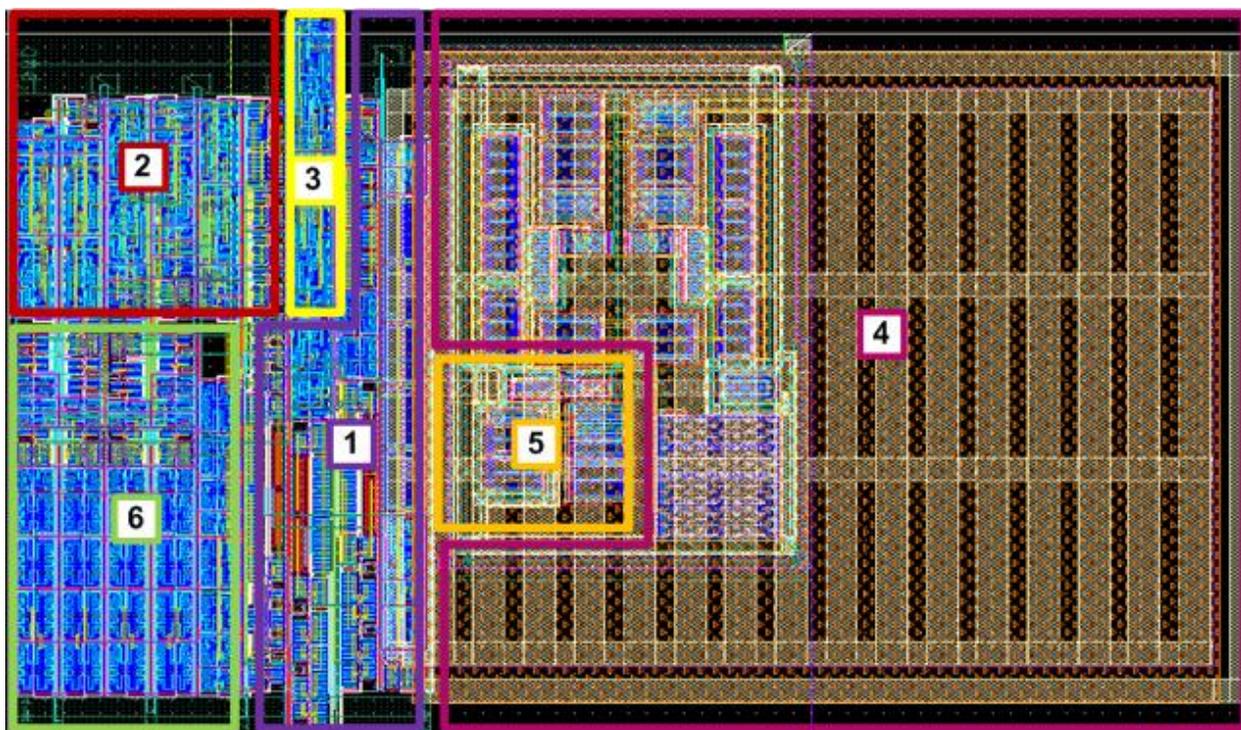


Рисунок 2: Общий вид топологии блока автоподстройки частоты по задержке

1. Генератор, управляемый напряжением
2. Делитель и управляющая логика
3. Фазо-частотный детектор
4. Схема накачки заряда и ФНЧ
5. Схема смещения
6. Буфер

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ TSMC КМОП LP 90 нм
 Статус _____ верифицирован в кремнии
 Занимаемая площадь _____ 0,0035 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{dd} = 0,95 - 1,05$ В и $T_j = -40 \div +125$ °С. Типовые значения при $V_{dd} = 1,0$ В, $T_j = +27$ °С, если иное не оговорено.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания	V_{dd}	-	0,95	1,0	1,05	В
Потребляемая мощность	P_{dd}	$F_{800_1g} = 1$ ГГц	0,95	1,0	1,05	мВ
Температурный диапазон	T_j	-	-40	27	125	°С
Коэффициент умножения	N	-	-	16/20	-	-
Выходная частота	F_{800_1g}	-	-	800 (1000)	-	МГц
Скважность	S	-	-	51	-	%
Дрожание фазы (среднеквадратичное значение)	J	$F_{800_1g} = 1$ ГГц	5,5	6	6,5	пс
Время захвата	T_{lock}	-	2	5	10	мкс
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	0,7	-	-	В
Входное напряжение низкого уровня	V_{IL}		-	-	0,3	В

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока зависит от типа лицензии и включает:

- Схемотехническое решение (schematic) или NetList
- Абстрактная модель (.lef и .lib файлы)
- Топологическое решение (layout, опционально)
- Поведенческая модель устройства (Verilog)
- Топологическая схема с экстрагированными параметрами (extracted view, опционально)
- GDSII
- DRC, LVS, antenna report
- Схемы для тестирования с сохранёнными конфигурациями (опционально)
- Документация