
Программируемый низковольтный дифференциальный передатчик/приемник

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- TSMC 90 нм КМОП
- Входной логический сигнал передатчика 1 В
- Выходной регулируемый ток передатчика, 3 бита регулирования (от 0,75мА до 6,5мА).
- Высокая скорость передачи данных 1,6 Гбит/с
- Низкая потребляемая мощность (1,4 мВт) приемника
- Низкая потребляемая мощность (16,56 мВт) передатчика
- Соответствие стандарту LVDS TIA/EIA-644
- Диапазон рабочих температур: от -60 °С до + 125 °С
- Время задержки сигнала от входа до выхода передатчика 590 пс
- Время задержки сигнала от входа до выхода приемника 500 пс
- Выходной регулируемый ток приемника, 3 бита регулирования (на максимальной частоте, от 40 до 300 мкА)
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC

2 СФЕРА ПРИМЕНЕНИЯ

- Передача данных в конфигурации точка-точка
- Передача данных в многоточечной конфигурации
- Прием/передача тактового сигнала
- Прием по дорожкам на печатной плате
- Передача данных по объединительной плате
- Передача данных по кабелю

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Схема низковольтной дифференциальной передачи сигналов (LVDS) состоит из передатчика, приемника и устройства формирования опорных сигналов. Передатчик состоит из: источника тока (с номиналом 3,5 мА в оптимальном режиме), нагруженного на дифференциальную пару линии, и регулятора синфазного напряжения, который формирует синфазное напряжение, равное 1,25 В. Выходной ток регулируется через регистр цифрового входа $ilvo<2:0>$. Приемник имеет высокий входной импеданс по постоянному току (~МОм), поэтому основная часть выходного тока передатчика протекает через внешний резистор с номиналом 100 Ом, создавая на нем падение напряжения 350 мВ, приложенное к входу приемника. При переключении выхода передатчика направление протекания тока меняется на противоположное, обеспечивая логическое состояния “0” или “1”. Таким образом, преобразуется входное напряжение 350 мВ в выходной сигнал с уровнем 1,8 В. Входной ток регулируется через регистр цифрового входа $ilvi<2:0>$.

4 БЛОК СХЕМА

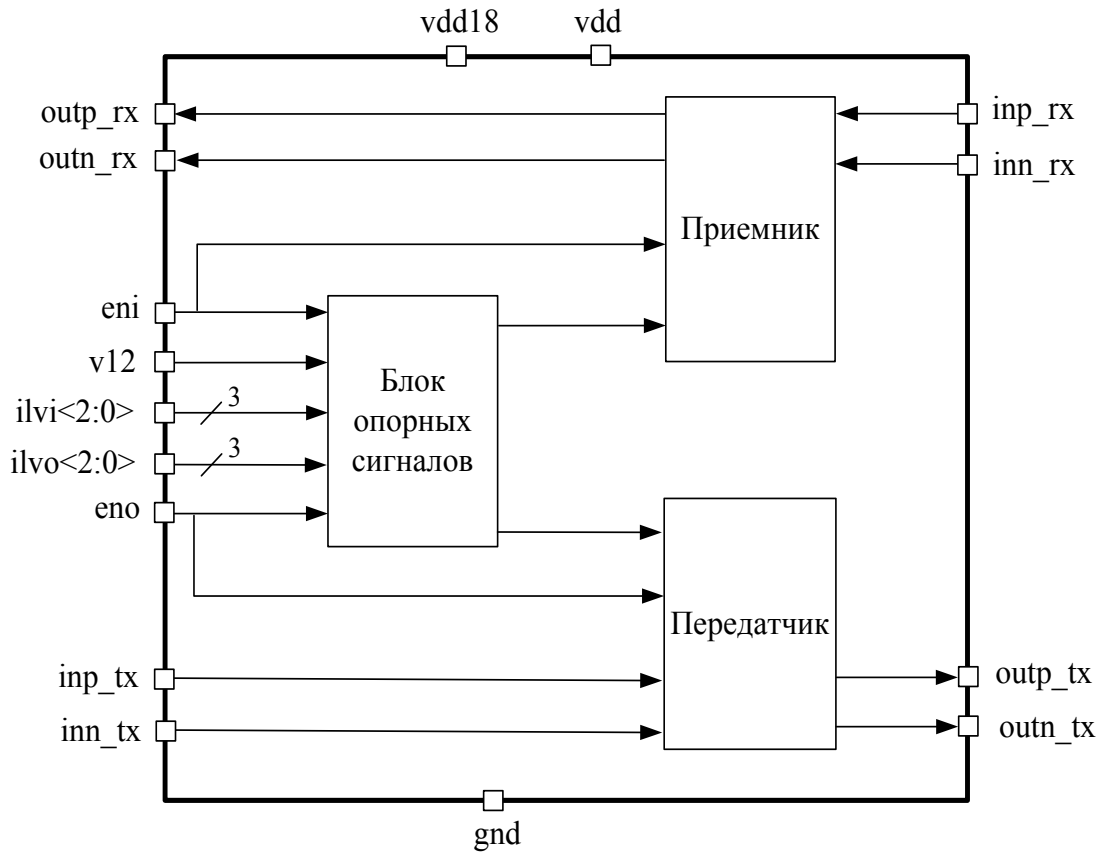


Рисунок 1: Блок-схема программируемого низковольтного дифференциального передатчик/приемник.

5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
inp_tx	I	Входной дифференциальный сигнал передатчика 1 В
inn_tx		
inp_rx	I	Входной дифференциальный сигнал приемника
inn_rx		
v12	I	Опорное напряжение 1,2 В
ilvi<2:0>	I	Цифровой вход, задающий режим внутреннего тока приемника
ilvo<2:0>	I	Цифровой вход, задающий режим выходного тока передатчика
eni	I	Включение/выключение приемника
eno	I	Включение/выключение передатчика
outp_rx	O	Выходной дифференциальный сигнал приемника 1,8 В
outn_rx		
outp_tx	O	Выходной дифференциальный сигнал передатчика
outn_tx		
vdd	IO	Напряжение питания цифровых блоков 1 В
vdd18	IO	Напряжение питания аналоговых блоков 1,8 В
gnd	IO	Шина нулевого потенциала

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока передатчика, в таблице 6.2 приведены размеры блока приемника.

Таблица 1: Размеры блока передатчика.

Размер	Величина	Единицы измерения
Высота	45	МКМ
Ширина	57	МКМ

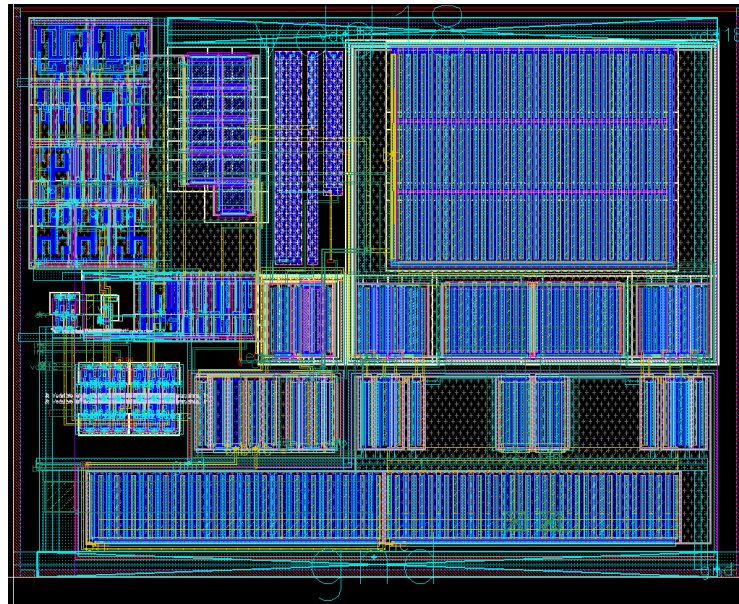


Рисунок 2: Общий вид топологии приемника

Таблица 2: Размеры блока приемника.

Размер	Величина	Единицы измерения
Высота	36	МКМ
Ширина	70	МКМ

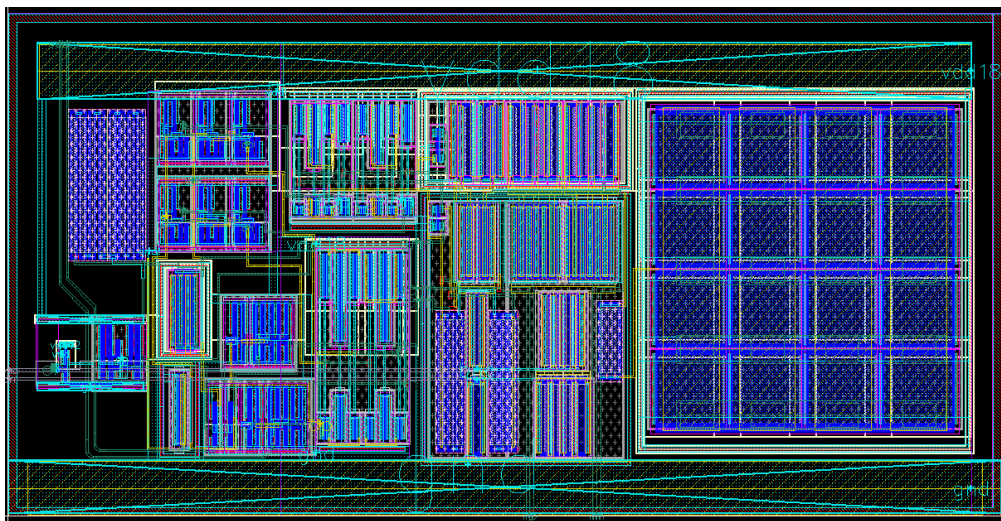


Рисунок 3: Общий вид топологии передатчика.

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ TSMC 90 нм КМОП LP
Статус _____ верифицирован в кремний
Занимаемая площадь _____ 0,01 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значение электрических параметров приведены для $V_{dd18} = 1,71 \div 1,89$ В, $V_{dd} = 0,95 \div 1,05$ и $T = -60 \div +125$ °С. Типовые значения $V_{dd18} = 1,8$ В, $V_{dd} = 1,0$ В, $T = +27$ °С, если иное не оговорено.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания аналоговых блоков	V_{dd18}	-	1,71	1,8	1,89	В
Напряжение питания цифровых блоков	V_{dd}	-	0,95	1,0	1,05	В
Диапазон рабочих температур	T	-	-60	+27	+125	°С
Дифференциальное выходное напряжение	V_{OD}	Для передатчика	270	360	510	мВ
Напряжение смещения	V_{OS}	Для передатчика	1,18	1,25	1,31	В
Время задержки при переходе от высокого уровня сигнала к низкому	t_{PHLDT}	Для передатчика	330	427	573	пс
Время задержки при переходе от низкого уровня сигнала к высокому	t_{PLHDT}	Для передатчика	342	442	588	пс
Время нарастания выходного сигнала	t_{RT}	Для передатчика	46	47	48	пс
Время спада выходного сигнала	t_{FT}	Для передатчика	60	61	65	пс
Ток в режиме ожидания	I_{st}	Общий	-	190	-	нА
Время задержки при переходе от высокого уровня сигнала к низкому	t_{PHLDR}	Для приемника	271	308	497	пс
Время задержки при переходе от низкого уровня сигнала к высокому	t_{PLHDR}	Для приемника	276	347	501	пс
Рассеиваемая мощность	W_{tr}	Для передатчика	-	-	16,56	мВт
Рассеиваемая мощность	W_{rc}	Для приемника	-	-	1,4	мВт
Общая рассеиваемая мощность	W_t		-	-	17,96	мВт
Диапазон входного напряжения	V_{in}	Для передатчика	0	-	1	В
Диапазон выходного напряжения	V_{out}	Для приемника	0	-	1,8	В

Окончание таблицы «Электрические характеристики»

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Изменение V_{OS}	ΔV_{OS}	Для передатчика	-	-	15	мВт
Выходной ток передатчика	I_{out}	$ilvo<2:0>=1.1.1$	4,9	6,5	8,4	мА
Ток потребления передатчика	I_{ctr}	$ilvo<2:0>=1.1.1$	-	6,5	-	мА
Ток потребления приемника	I_{cre}	$ilvi<2:0>=1.1.1$	-	0,64	-	мА
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	0,7	-	-	В
Входное напряжение низкого уровня	V_{IL}		-	-	0,3	В
Случайное фазовое дрожание тактирующего сигнала, среднееквадратическое	t_{RJ}	Для передатчика $C_L=3p$	-	126	212	фс
Случайное фазовое дрожание тактирующего сигнала, максимальное	t_{DJM}		-	257	452	фс
Регулярное фазовое дрожание данных	t_{DJ}		-	5,1	6,67	пс
Случайное фазовое дрожание тактирующего сигнала, среднееквадратическое	t_{RJ}	Для передатчика $C_L=0p$	-	59	213	фс
Случайное фазовое дрожание тактирующего сигнала, максимальное	t_{DJM}		-	150	486	фс
Регулярное фазовое дрожание данных	t_{DJ}		-	1,32	2,34	пс
Случайное фазовое дрожание тактирующего сигнала, среднееквадратическое	t_{RJ}	Для приемника	-	0,79	0,95	пс
Случайное фазовое дрожание тактирующего сигнала, максимальное	t_{DJM}		-	1,16	1,5	пс
Регулярное фазовое дрожание данных	t_{DJ}		-	17,2	21,4	пс

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Топологическое решение (layout) или «черный ящик»
- Топологическая схема с экстрагированными параметрами (extracted view, опциональный)
- GDSII
- Схемы для тестирования с сохранёнными конфигурациями (опциональный)
- Документация

СПИСОК ИЗМЕНЕНИЙ

От версии 1.0:

- Таблица 7.2 ([стр.5](#))