
Программируемый передатчик

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- Технология TSMC 90 нм CMOS MS/RF.
- Входной логический сигнал передатчика 1 В.
- Регулируемый выходной ток передатчика в режиме LVDS, 3 бита регулирования (от 0.57мА до 6.82мА).
- Выходной регулируемый ток передатчика в режиме CML, 3 бита регулирования (от 2.52мА до 27.9мА).
- Скорость передачи данных не менее 2.1 ГГц в режиме LVDS.
- Скорость передачи данных не менее 2.0 ГГц в режиме CML.
- Низкая потребляемая мощность (8.6 – 15.8 мВт) передатчика в режиме LVDS.
- Низкая потребляемая мощность (20.3 – 41.7 мВт) передатчика в режиме CML.
- Низкая потребляемая мощность (11.3 – 13.5 мВт) передатчика в режиме CMOS.
- Соответствие стандарту LVDS TIA/EIA-644.
- Диапазон рабочих температур: от -60 °С до + 125 °С.
- Время задержки сигнала от входа до выхода 650 – 1409 пс в режиме LVDS.
- Время задержки сигнала от входа до выхода 620 – 1338 пс в режиме CML.
- Время задержки сигнала от входа до выхода 485 – 847 пс в режиме CMOS.

2 СФЕРА ПРИМЕНЕНИЯ

- TFT панели.
- USB 3.0.
- DVI.
- Serial ATA.
- PCI Express.

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

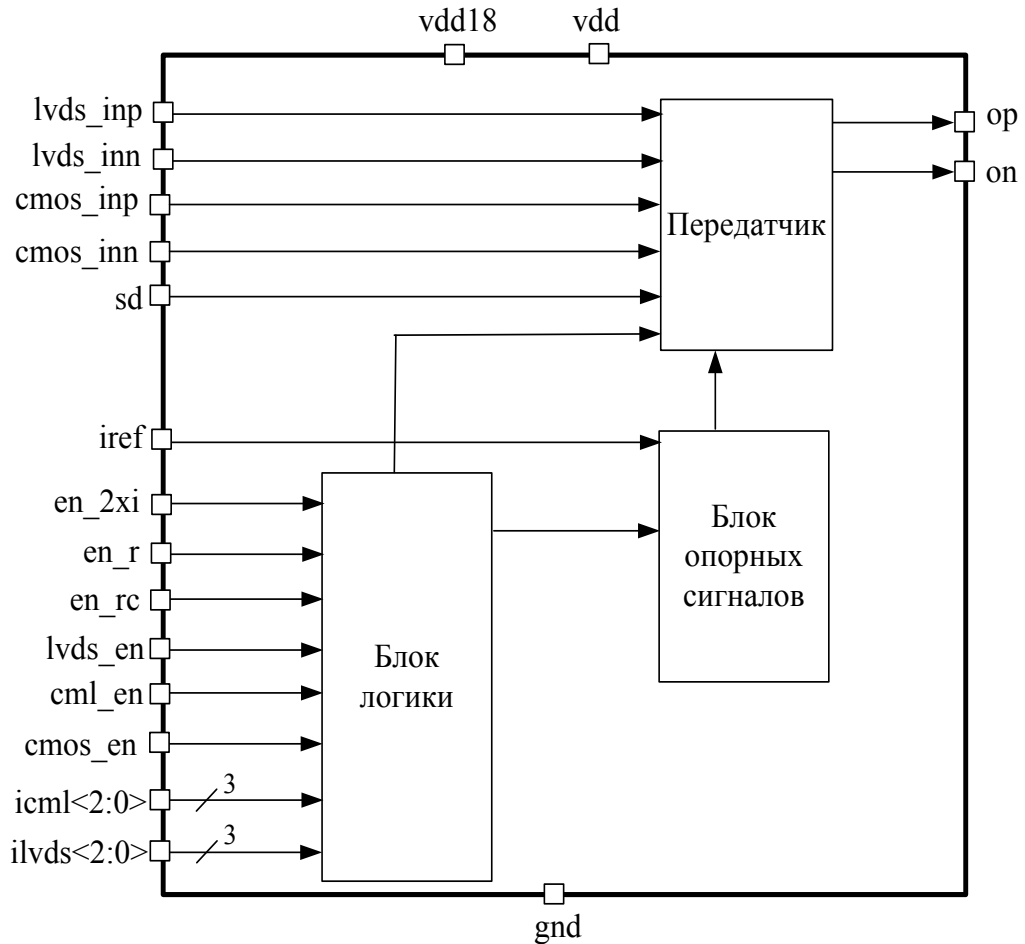
Передатчик может работать в одном из трех режимов: LVDS, CML, CMOS. Программируемый передатчик состоит из передатчика, блока логики logic и блока опорных сигналов bias.

В режиме LVDS работает схема низковольтной дифференциальной передачи сигналов. Она состоит из передатчика и устройства формирования опорных сигналов. Передатчик состоит из: источника тока (с номиналом 3.5 мА в оптимальном режиме), нагруженного на дифференциальную пару линии, и регулятора синфазного напряжения, который формирует напряжение 1.25 В. Выходной ток регулируется через регистр цифрового входа `ilvds<2:0>`. Выходной ток передатчика протекает через внешний резистор 100 Ом, создавая на нем падение напряжения 350 мВ. Передатчик содержит отключаемый внутренний резистор 100 Ом для лучшего согласования линии.

В режиме CML работает дифференциальная схема на переключателях тока. Она состоит из ключей и источника тока (с номиналом 16 мА в оптимальном режиме), нагруженного на дифференциальную пару линии. Выходной ток регулируется цифровым регистром `icml<2:0>`. Выходной ток передатчика протекает через внешние резисторы с номиналом

50 Ом, подключенные к питанию, создавая на нем падение дифференциального напряжения 800 мВ. Передатчик содержит отключаемые внутренние резисторы 50 Ом. В режиме CMOS работает КМОП передатчик 1.8 В, состоящий из буфера.

4 БЛОК СХЕМА



5 ОПИСАНИЕ ПОРТОВ

| Наименование выводов | Направление | Назначение выводов |
|----------------------|-------------|---|
| iref | I | Опорный ток 20 мкА |
| lvds_inp | I | Входной дифференциальный сигнал передатчика 1 В для LVDS/CML |
| lvds_inn | | |
| cmos_inp | I | Входной дифференциальный сигнал передатчика 1 В для CMOS |
| cmos_inn | | |
| ilvds<2:0> | I | Цифровой вход, задающий режим выходного тока LVDS |
| icml<2:0> | I | Цифровой вход, задающий режим выходного тока CML |
| op | O | Выходной дифференциальный сигнал передатчика |
| on | | |
| sd | I | Включение/выключение высокочастотного преобразователей логического уровня |
| en_2xi | I | Включение/выключение удвоенного выходного тока в LVDS |
| en_r | I | Включение/выключение внутреннего резистора для LVDS |
| en_rc | I | Включение/выключение внутренних резисторов для CML |
| lvds_en | I | Включение/выключение LVDS |
| cml_en | I | Включение/выключение CML |
| cmos_en | I | Включение/выключение CMOS |
| vdd | IO | Напряжение питания цифровых блоков 1 В |
| vdd18 | IO | Напряжение питания аналоговых блоков 1.8 В |
| gnd | IO | Шина нулевого потенциала |

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 6.1 приведены размеры передатчика.

Таблица 6.1: Размеры блока

| Размер | Величина | Единицы измерения |
|--------|----------|-------------------|
| Высота | 350 | МКМ |
| Ширина | 330 | МКМ |

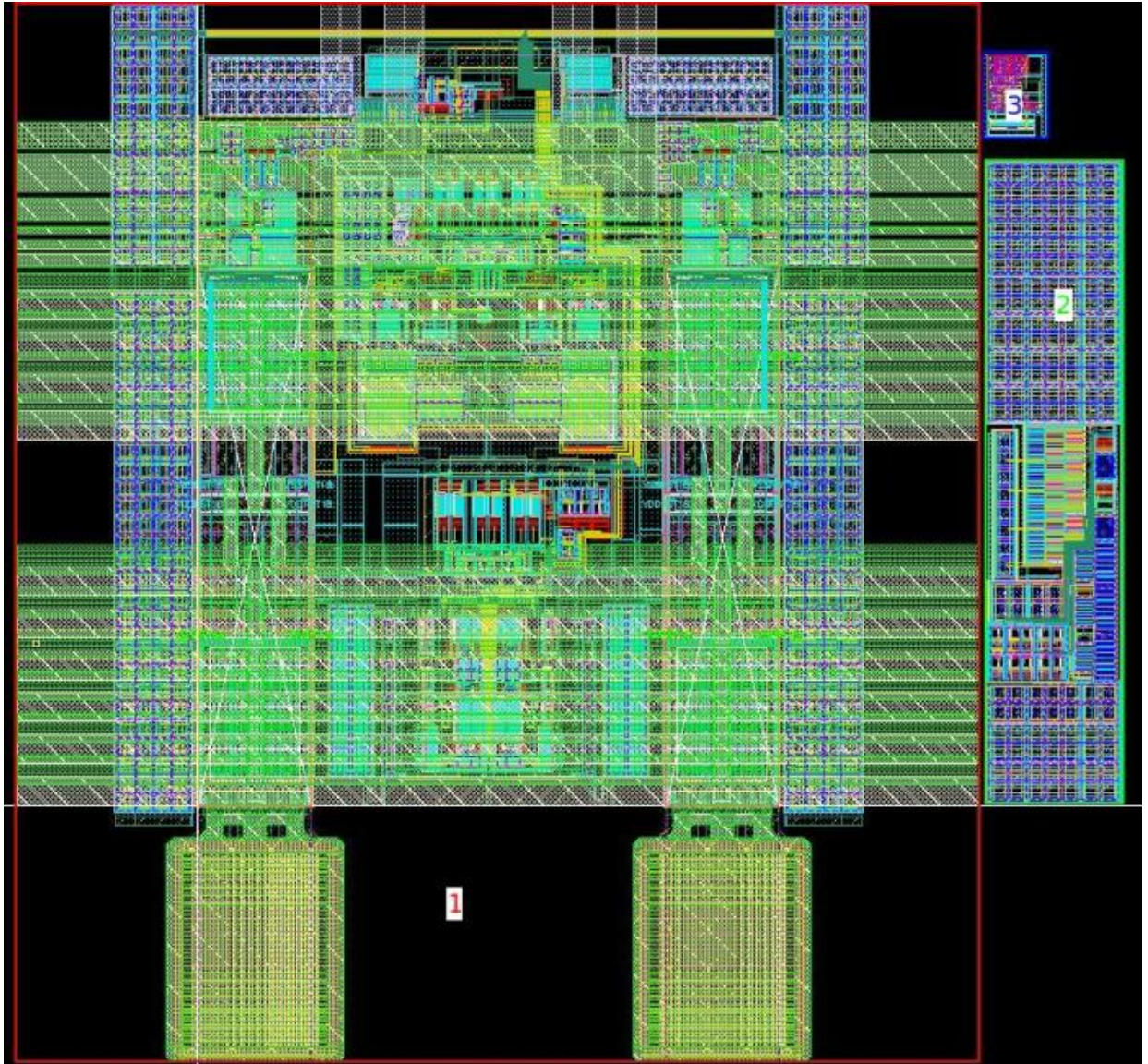


Рисунок 6.1: Общий вид топологии программируемого LVDS передатчика

1. Передатчик.
2. Блок опорных напряжений.
3. Блок логики.

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ TSMC 90nm CMOS MS/RF
Статус _____ подготовка к верификации
Занимаемая площадь _____ 0.11 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значение электрических параметров приведены для $V_{dd18} = 1.62 \div 1.98$ В, $V_{dd} = +0.9 \div +1.1$ и $T = -60 \div +125$ °С. Типовые значения $V_{dd18} = 1.8$ В, $V_{dd} = 1.0$ В, $T = +27$ °С, если иное не оговорено

| Наименование параметра | Обозначение | Условия | Значение | | | Единица измерения |
|--|-------------|---|---|------|------|-------------------|
| | | | мин | тип | макс | |
| Напряжение питания аналоговых блоков | V_{dd18} | - | 1.62 | 1.8 | 1.98 | В |
| Напряжение питания цифровых блоков | V_{dd} | - | 0.95 | 1.0 | 1.05 | В |
| Диапазон рабочих температур | T | - | -60 | +27 | +125 | °С |
| Дифференциальное выходное напряжение | V_{OD} | | 195 | 342 | 420 | мВ |
| Напряжение смещения | V_{OS} | | 1.12 | 1.25 | 1.37 | В |
| Время задержки сигнала, от высокого к низкому сигналу | t_{PHLDT} | Режим LVDS, скорость передачи - 2 ГГц | 649 | 918 | 1409 | пс |
| Время задержки сигнала, от низкого к высокому сигналу | t_{PLHDT} | | 636 | 900 | 1387 | пс |
| Время нарастания выходного сигнала | t_{RT} | | 165 | 168 | 174 | пс |
| Время спада выходного сигнала | t_{FT} | | 170 | 172 | 200 | пс |
| Ток потребления по питанию для передатчика | I_{lvds} | | 4.78 | 7.1 | 8.8 | мА |
| Максимальная скорость передач при погрешности скважности 10% | F_{out} | | 2.1 | 2.7 | 3.0 | ГГц |
| Выходной ток передатчика | I_{out} | | $i_{lvds} < 2.0 > = 1.1.1$, режим LVDS, скорость передачи - 2 ГГц | 3.6 | 6 | 7.18 |
| Ток потребления передатчика | I_{ctr} | 6.52 | 9.85 | 12 | мА | |
| Дифференциальное выходное напряжение | V_{OD} | Режим CML, скорость передачи - 2 ГГц | 535 | 773 | 935 | мВ |
| Время задержки сигнала, от высокого к низкому сигналу | t_{PHLDT} | | 621 | 878 | 1338 | пс |
| Время задержки сигнала, от низкого к высокому сигналу | t_{PLHDT} | | 605 | 910 | 1314 | пс |

Продолжение таблицы 7.2

| Наименование параметра | Обозначение | Условия | Значение | | | Единица измерения |
|---|-------------|--|----------|-------|-------|-------------------|
| | | | мин | тип | макс | |
| Время нарастания сигнала | t_{RT} | Режим CML, скорость передачи - 2 ГГц | 171 | 176 | 188 | пс |
| Время спада сигнала | t_{FT} | | 165 | 168 | 168 | пс |
| Ток потребления по питанию для передатчика | I_{cml} | | 11.3 | 18.7 | 23.1 | мА |
| Максимальная скорость передач при погрешности скважности 10% | F_{out} | | 2.0 | 2.5 | 2.6 | ГГц |
| Выходной ток передатчика | I_{out} | $i_{cml} < 2:0 > = 1.1.1$, режим CML, скорость передачи - 2 ГГц | 16 | 26.24 | 29.2 | мА |
| Ток потребления передатчика | I_{ctr} | | 20.75 | 32.95 | 38.94 | мА |
| Время задержки сигнала, от высокого к низкому сигналу | t_{PHLDT} | Режим CMOS $C_L = 10$ р, скорость передачи 150 МГц | 485 | 699 | 847 | пс |
| Время задержки сигнала, от низкого к высокому сигналу | t_{PLHDT} | | 485 | 699 | 847 | пс |
| Время нарастания | t_{RT} | | 330 | 455 | 464 | пс |
| Время спада | t_{FT} | | 268 | 359 | 367 | пс |
| Ток потребления по питанию передатчика | I_{cmos} | | 6.3 | 6.6 | 7.5 | мА |
| Ток в режиме отключения | I_{st} | | 0.052 | 1.45 | 130 | мкА |
| Ток потребления по питанию | I_{bias} | Для блока bias | 38 | 57 | 66 | мкА |
| Входное напряжение высокого уровня | V_{IH} | Для цифровых входов | 0.7 | - | - | В |
| Входное напряжение низкого уровня | V_{IL} | | - | - | 0.3 | В |
| Случайное фазовое дрожание тактирующего сигнала, среднее квадратическое | t_{RJ} | Режим LVDS, скорость передачи - 2 ГГц | - | 200 | 469 | фс |
| Случайное фазовое отклонение тактирующего сигнала, максимальное | t_{DJM} | | - | 296 | 673 | фс |
| Регулярное фазовое отклонение данных | t_{DJ} | | - | 13.6 | 19.2 | пс |
| Случайное фазовое отклонение тактирующего сигнала, среднее квадратическое | t_{RJ} | Режим CML, скорость передачи - 2 ГГц | - | 241 | 461 | фс |
| Случайное фазовое отклонение тактирующего сигнала, максимальное | t_{DJM} | | - | 366 | 982 | фс |
| Регулярное фазовое отклонение данных | t_{DJ} | | - | 17.8 | 21 | пс |

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- схематическое решение (schematic);
- топологическое решение (layout);
- топологическая схема с экстрагированными параметрами (extracted view);
- GDS;
- схемы для тестирования с сохранёнными конфигурациями;
- документация.