

1 – 600 МГц синтезатор опорной частоты

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- TSMC КМОП 90 нм
- Частота опорного сигнала 6 МГц
- Частота синтезируемого сигнала от 1 до 600 МГц
- Напряжение питания 1 В
- Потребления схемы в режиме работы до 1 мА
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, AMS, Vanguard, SilTerra

2 СФЕРА ПРИМЕНЕНИЯ

- Системы передачи данных
- Схемы тактирования
- Тестовое оборудование

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Схема предназначена для формирования стабильного тактового сигнала в диапазоне частот от 1 МГц до 600 МГц. Синтезатор основан на схеме фазовой автоподстройки частоты ФАПЧ с целочисленными коэффициентами деления синтезируемой частоты.

На вход `pll_iclk` подается сигнал опорной частоты 6 МГц. На выходе синтезатора частоты `pll_osc` формируется стабильный сигнал с частотой от 1 до 600 МГц. Спектр возможных частот синтезатора задается с помощью регистра управления коэффициентом деления `pll_cfg<9:0>` по формуле:

$$F(\text{pll_osc}) = 1\text{MHz} + (\text{pll_cfg}\langle 9:0 \rangle - 1) \times 1\text{MHz}.$$

В зависимости от состояния регистра `pll_cfg<9:0>` возможно получить следующие значения синтезируемых частот

Значение регистра <code>pll_cfg<9:0></code>	Состояние схемы синтезатора	Синтезируемая частота $F_{\text{pll_osc}}$
000h	Схема выключена	-
001h	Схема включена	1 МГц
002h	Схема включена	2 МГц
...
258h	Схема включена	600 МГц

Устройство выполнено по технологии TSMC КМОП 90 нм.

4 БЛОК-СХЕМА

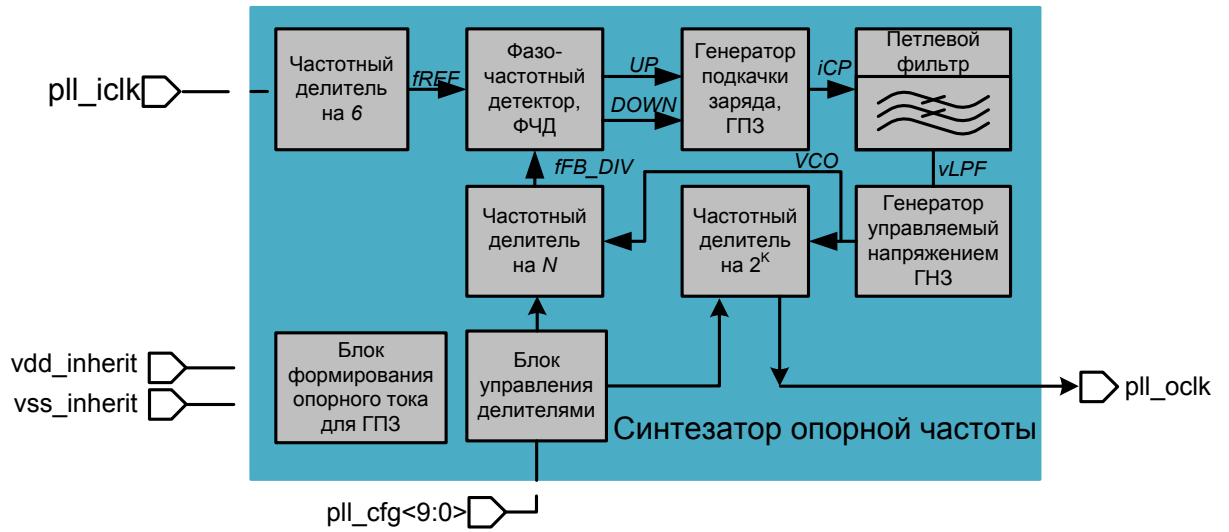


Рисунок 1: Структурная схема синтезатора частоты.

5 ОПИСАНИЕ ПОРТОВ

Наименование выводов	Направление	Назначение выводов
pll_iclk	I	Вход опорного тактового сигнала
pll_cfg<9:0>	I	Регистр, задающий значение коэффициента деления сигнала по частоте в обратной связи синтезатора.
pll_oclk	O	Выход сгенерированного тактового сигнала
vdd_inherit	I/O	Напряжение питания 1,0 В
vss_inherit	I/O	Шина нулевого потенциала

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока синтезатора опорной частоты.

Таблица 1: Размеры блока.

Размер	Значение	Единица измерения
Высота	222	МКМ
Ширина	219	МКМ

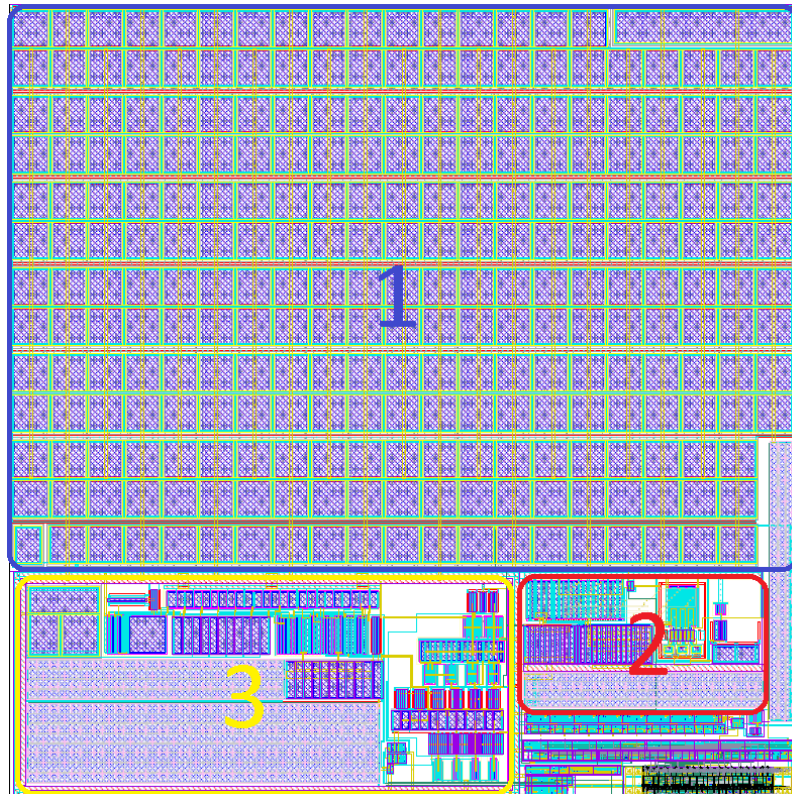


Рисунок 2: Общий вид топологии синтезатора частоты.

1. Фильтр низких частот
2. Блок преобразования напряжения в частоту
3. Блок накачки заряда и формирования опорных токов

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ TSMC КМОП 90 нм

Статус _____ подготовка к верификации

 Занимаемая площадь _____ 0,05 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

 Значения электрических параметров приведены для $V_{dd}=0,9 \div 1,1$ В и $T=-40 \div +95^{\circ}\text{C}$, если иное не оговорено; типовые значения при $V_{dd}=1,0$ В и $T = +27^{\circ}\text{C}$.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания	V_{dd}	-	0,9	1,0	1,1	В
Ток потребления	I_{cn}	-	-	-	1	мА
Ток в режиме ожидания	I_{st}	-	-	-	1	мкА
Рассеиваемая мощность	W_{dd}	-	-	-	1,1	мВт
Диапазон рабочих температур	T	-	-40	27	95	$^{\circ}\text{C}$
Тактовая частота	F_{pll_iclk}	-	-	6	-	МГц
Синтезируемая частота	F_{pll_oclk}	-	1	-	600	МГц
Мгновенное изменение частоты выходного сигнала	J_{pll_oclk}	$F_{pll_oclk} = 600$ МГц	-	-	0,2	МГц
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	0,7	-	-	В
Входное напряжение низкого уровня	V_{IL}		-	-	0,3	В

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Топологическое решение (layout) или «черный ящик»
- Топологическая схема с экстрагированными параметрами (extracted view, опциональный)
- GDSII
- Схемы для тестирования с сохранёнными конфигурациями (опциональный)
- Документация