
Система фазовой автоподстройки частоты

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- SMIC КМОП 0,18мкм
- Широкий частотный диапазон выходного сигнала (2,8...3,3 ГГц)
- Встроенные коммутируемые емкостные секции для настройки частоты ГУН
- Низкий уровень фазовых шумов
- Высокая точность детектирования захвата частоты
- Низкий дисбаланс выходного тока СЧЗ
- Малая занимаемая площадь
- Без внешних компонентов
- Низкий ток потребления
- Малая потребляемая мощность
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, AMS, Vanguard, SilTerra

2 СФЕРА ПРИМЕНЕНИЯ

- Портативные приемники
- Портативные передатчики
- Портативные приемо-передатчики

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Система ФАПЧ – это система автоматического регулирования, подстраивающая частоту управляемого генератора так, чтобы она была равна частоте сигнала опорного генератора, умноженной на заданное целое число. Регулировка частоты осуществляется благодаря наличию отрицательной обратной связи. Выходной сигнал управляемого генератора сравнивается на фазовом детекторе с опорным сигналом. Результатом сравнения является токовый выход СЧЗ, который подается на внешний фильтр обратной связи и преобразуется на нем в напряжение для подстройки управляемого генератора. Наличие в схеме делителя тактовой частоты позволяет выдавать сигналы с частотой, равной частоте опорного сигнала, деленной на целое число.

Делитель тактовой частоты позволяет выдавать сигналы с задаваемой частотой, а наличие дельта-сигма модулятора дает возможность работы схемы с опорными генераторами различной частоты.

Устройство выполнено по технологии SMIC КМОП 0,18 мкм.

4 БЛОК-СХЕМА

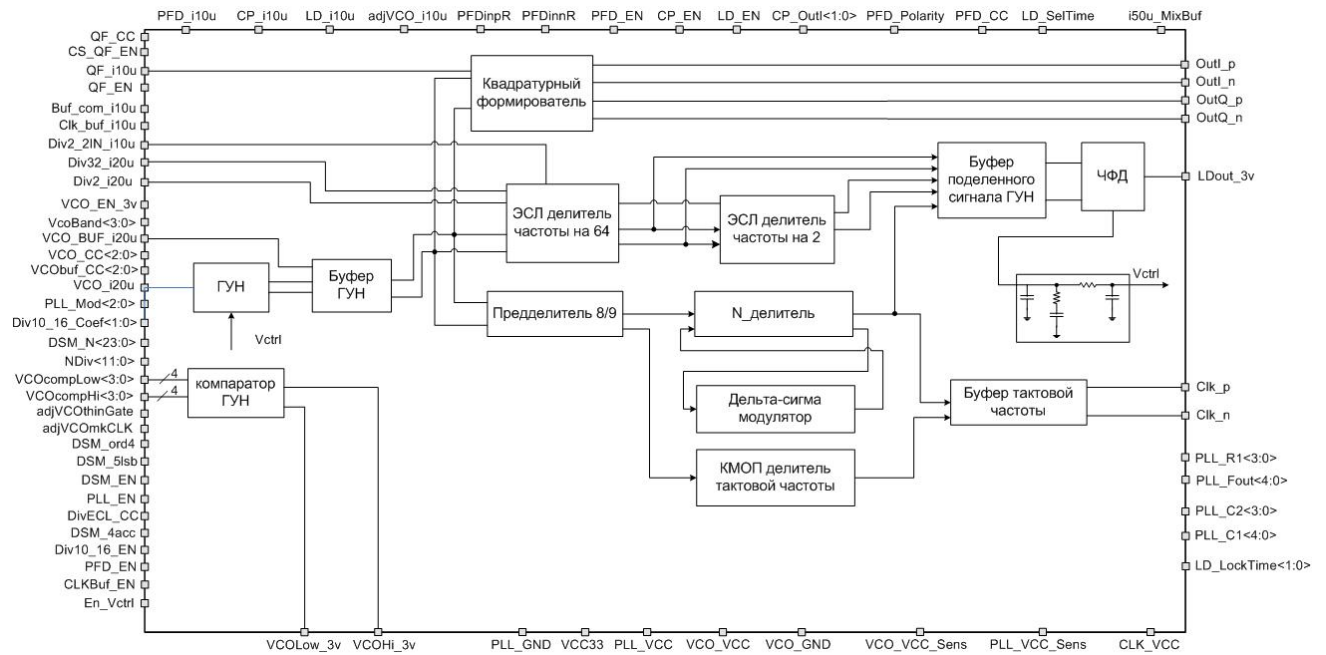


Рисунок 1: Блок-схема системы ФАПЧ.

5 ОПИСАНИЕ ПОРТОВ

| Наименование выводов | Направление | Назначение выводов |
|----------------------|-------------|--|
| QF_i10u | I | Опорный ток квадратурного формирователя (10мкА) |
| Clk_buf_i10u | I | Опорный ток буфера опорной частоты (10мкА) |
| Buf_com_i10u | I | Опорный ток буфера поделенного сигнала ГУН (10мкА) |
| CP_i10u | I | Опорный ток СЧЗ (10мкА) |
| PFD_i10u | I | Опорный ток ЧФД (10мкА) |
| VCO_i20u | I | Опорный ток источника тока ядра ГУН (20мкА) |
| VCO_BUF_i20u | I | Опорный ток источника тока буфера ГУН (20мкА) |
| adjVCO_i10u | I | Опорный ток компаратора, управляющего напряжения ГУН |
| Div2_2IN_i10u | I | Опорный ток ЭСЛ делителя на 2 (10мкА) |
| Div32_i20u | I | Опорный ток ЭСЛ делителя на 64 (20мкА) |
| Div2_i20u | I | |
| LD_i10u | I | Опорный ток детектора захвата (10мкА) |
| Vctrl | I | Вход управляющего напряжения ГУН |
| PFDinpR | I | Дифференциальный вход ЧФД с опорного генератора |
| PFDinnR | I | |
| VCO_EN_3v | I | Включение/выключение ГУН |
| PFD_EN | I | Включение/выключение буфера поделенного сигнала ГУН |
| PLL_EN | I | Включение/выключение ФАПЧ |
| QF_EN | I | Включение/выключение квадратурного формирователя |
| Div_10_16_EN | I | Включение/выключение КМОП делителя тактовой частоты |
| DSM_EN | I | Включение/выключение дельта-сигма модулятора |
| LD_EN | I | Включение/выключение детектора захвата |
| CLKBuf_EN | I | Включение/выключение буфера тактовой частоты |
| PFD_Polarity | I | Переключение полярности на входе ЧФД |
| En_Vctrl | I | Переключение управляющего напряжения ГУН |
| VCO_CC<2:0> | I | Выбор тока ядра ГУН |
| VCObuf_CC<1:0> | I | Выбор тока буфера |
| DivECL_CC | I | Управление током ЭСЛ делителя частоты на 64 |
| CP_OutI<1:0> | I | Управление выходным током СЧЗ |
| PFD_CC | I | Управление током ЧФД |
| QF_CC | I | Управление током квадратурного формирователя |
| VCOcompHi<3:0> | I | Управление верхней границей детектора напряжения системы автоподстройки поддиапазона ГУН |
| VCOcompLow<3:0> | I | Управление нижней границей детектора напряжения системы автоподстройки поддиапазона ГУН |

Продолжение таблицы «Описание портов»

| Наименование выводов | Направление | Назначение выводов |
|----------------------|-------------|--|
| VcoBand<3:0> | I | Переключение коммутируемых емкостных секций |
| QF_CS_TD | I | Включение термозависимого источника тока для квадратурного формирователя |
| NDiv<11:0> | I | Целочисленный коэффициент деления ДСМ |
| Div10_16_Coef<1:0> | I | Коэффициент деления КМОП делителя тактовой частоты |
| LD_LockTime<1:0> | I | Управление подстройкой периода детектирования |
| LD_SelTime | I | Управление точностью детектирования |
| PLL_Mod<2:0> | I | Выбор режима ФАПЧ |
| adjVCOmkCLK | I | Тип границ детектора системы автоподстройки поддиапазона ГУН |
| adjVCOthinGate | I | Управление режимом подстраиваемых границ |
| DSM_ord4 | I | Сигнал выбора дельта-сигма модулятора четвертого порядка |
| DSM_4acc | I | Режим дельта-сигма модулятора, при котором 4 внутренних аккумулятора сбрасываются в не нулевое значение |
| DSM_5lsb | I | Режим дельта-сигма модулятора, при котором 5 младших разрядов внутреннего аккумулятора переключаются в «1» по сбросу |
| DSM_N<23:0> | I | Дробный коэффициент деление дельта-сигма модулятора |
| PLL_C1<4:0> | I | Подстройка фильтра обратной связи ФАПЧ |
| PLL_C2<3:0> | I | |
| PLL_R1<3:0> | I | |
| PLL_Fcut<4:0> | I | |
| VcoHi_3v | O | Индикатор максимально допустимого управляющего напряжения ГУН |
| VcoLow_3v | O | Индикатор минимально допустимого управляющего напряжения ГУН |
| LDout_3v | O | Выход детектора захвата |
| CLK_n | O | Дифференциальный выход буфера тактовой частоты |
| CLK_p | O | |
| i50u_MixBuf | O | Вывод опорного тока буфера смесителя |
| OutI_p | O | Дифференциальные выходы квадратурного формирователя |
| OutI_n | O | |
| OutQ_p | O | |
| OutQ_n | O | |
| VCC33 | IO | Напряжение питание высокого уровня |
| CLK_VCC | IO | Вывод питания формирователя тактовой частоты |
| VCO_VCC | IO | Вывод питания ГУН |
| VCO_VCC_Sens | IO | Вывод обратной связи по питанию ГУН |

Продолжение таблицы «Описание портов»

| Наименование выводов | Направление | Назначение выводов |
|-----------------------------|--------------------|--------------------------------------|
| PLL_VCC | IO | Вывод питания ФАПЧ |
| PLL_VCC_Sens | IO | Вывод обратной связи по питанию ФАПЧ |
| VCO_GND | IO | Общий вывод ГУН |
| PLL_GND | IO | Общий вывод ФАПЧ |

6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока.

Таблица 1: Размеры блока.

| Размер | Значение | Единица измерения |
|--------|----------|-------------------|
| Высота | 730.68 | МКМ |
| Ширина | 1022.34 | МКМ |

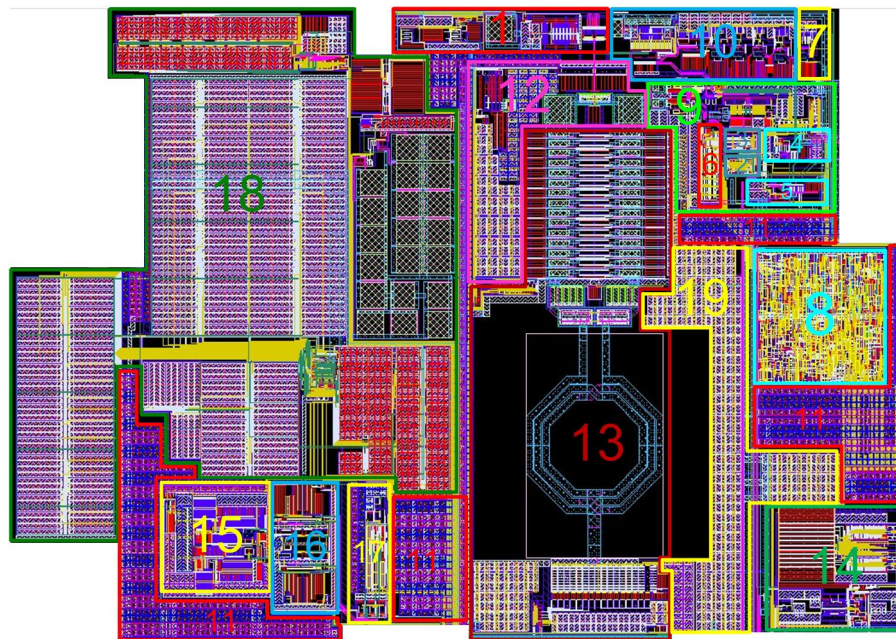


Рисунок 2: Общий вид топологии системы ФАПЧ.

1. Квадратурный формирователь
2. КМОП коммутатор
3. КМОП делитель тактовой частоты
4. Буфер тактовой частоты
5. Буфер поделенного сигнала ГУН
6. N-делитель
7. ЭСЛ делитель частоты на 2
8. Дельта-сигма модулятор
9. Предделитель 8/9
10. ЭСЛ делитель частоты на 64
11. Фильтрующие емкости
12. Буфер ГУН
13. ГУН
14. Компаратор ГУН
15. Система накачки заряда
16. ЭСЛ ЧФД
17. Детектор захвата
18. Фильтр обратной связи
19. Фильтрующие емкости ГУН

7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ SMIC КМОП 0,18мкм
 Статус _____ верифицирован в кремнии
 Занимаемая площадь _____ 0,67 мм²

7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{cc} = 1,7 \div 1,9$ В и $T = -45 \div +85$ °С, если иное не оговорено; типовые значения при $V_{cc} = 1,8$ В и $T = +27$ ° С.

| Наименование параметра | Обозначение | Условия | Значение | | | Единицы измерения |
|--|-------------|------------------------|----------|-------|-------|-------------------|
| | | | мин | тип | макс | |
| Напряжение питания | V_{cc} | - | 1,7 | 1,8 | 1,9 | В |
| Температурный диапазон | T | - | -45 | 27 | 85 | °С |
| Коэффициент деления ФАПЧ | N_{PLL} | - | 56 | - | 16383 | - |
| Тактовая частота | F_{clk} | - | - | 49,68 | - | МГц |
| Опорная частота | F_r | - | - | 24,84 | - | МГц |
| Частота гетеродина | F_{Osc} | - | 2,8 | - | 3,3 | ГГц |
| Выходная амплитуда ГУН | A_{VCO} | Дифференциальный выход | 742 | - | - | мВ |
| Размах напряжения на дифференциальных выходах тактовой частоты | A_{cmos} | КМОП | 1,7 | 1,8 | 1,9 | В |
| | | Дифференциальный выход | 0,3 | 0,32 | 0,45 | |
| Диапазон программируемых значений делителя R | R_{PLL} | - | 1 | - | 32 | - |
| Диапазон частоты сравнения | F_{PFD} | - | - | 24,84 | - | МГц |
| Время контроля захвата | Sel_time | - | 2,58 | - | 20,6 | мкс |
| Точность захвата | Prec_lock | Настройка 1 | 6,5 | 7,0 | 7,5 | нс |
| | | Настройка 2 | 13 | 14 | 15 | |

Окончание таблицы «Электрические характеристики»

| Наименование параметра | Обозначение | Условия | Значение | | | Единицы измерения |
|---|-------------|---------------------|--------------|-----|------|-------------------|
| | | | мин | тип | макс | |
| Ток потребления в активном режиме | I_{cc} | - | 4,3 | 5,9 | 7,5 | мА |
| Ток потребления в режиме ожидания | I_{stb} | - | - | 70 | - | нА |
| Спектральная плотность фазовых шумов гетеродина | I_s | Отстройка 10 кГц | - | -83 | -80 | дБГц |
| Входное напряжение высокого уровня | V_{IH} | Для цифровых входов | 0,7 V_{cc} | - | 3,6 | В |
| Входное напряжение низкого уровня | V_{IL} | | -0,25 | - | 0,3 | В |

Таблица 2: Описание настроек

| Наименование настройки | Значение управляющего сигнала |
|------------------------|-------------------------------|
| Настройка 1 | LD_SelErr="0" |
| Настройка 2 | LD_SelErr="1" |

8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Топологическое решение (layout) или «черный ящик»
- Топологическая схема с экстрагированными параметрами (extracted view, опциональный)
- GDSII
- Схемы для тестирования с сохранёнными конфигурациями (опциональный)
- Документация

СПИСОК ИЗМЕНЕНИЙ

1. От версии 1.0:
Таблица «Электрические характеристики» (смотрите [стр.6](#))