

# Синтезатор частоты

---

## СПЕЦИФИКАЦИЯ

### 1 ОСОБЕННОСТИ

- UMC RFCMOS 0,18 мкм
- Частота опорного сигнала от 8 до 16 МГц
- Выходная частота от 20 до 300 МГц
- Напряжение питания 1,8 В
- Температурный диапазон от -40 до 125 °С
- Потребление схемы в режиме работы до 2 мА
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC, iHP, AMS, Vanguard, SilTerra

### 2 СФЕРА ПРИМЕНЕНИЯ

- Системы передачи данных
- Схемы тактирования
- Тестовое оборудование

### 3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Схема предназначена для формирования стабильного тактового сигнала в диапазоне частот от 20 МГц до 300 МГц. Синтезатор основан на схеме ФАПЧ с целочисленными коэффициентами деления синтезируемой частоты.

Вход `skref` является входом опорного сигнала с частотой от 8 до 16 МГц. На выходе синтезатора частоты `pll_clk` формируется стабильный сигнал с частотой от 20 МГц до 300 МГц.

## 4 БЛОК-СХЕМА

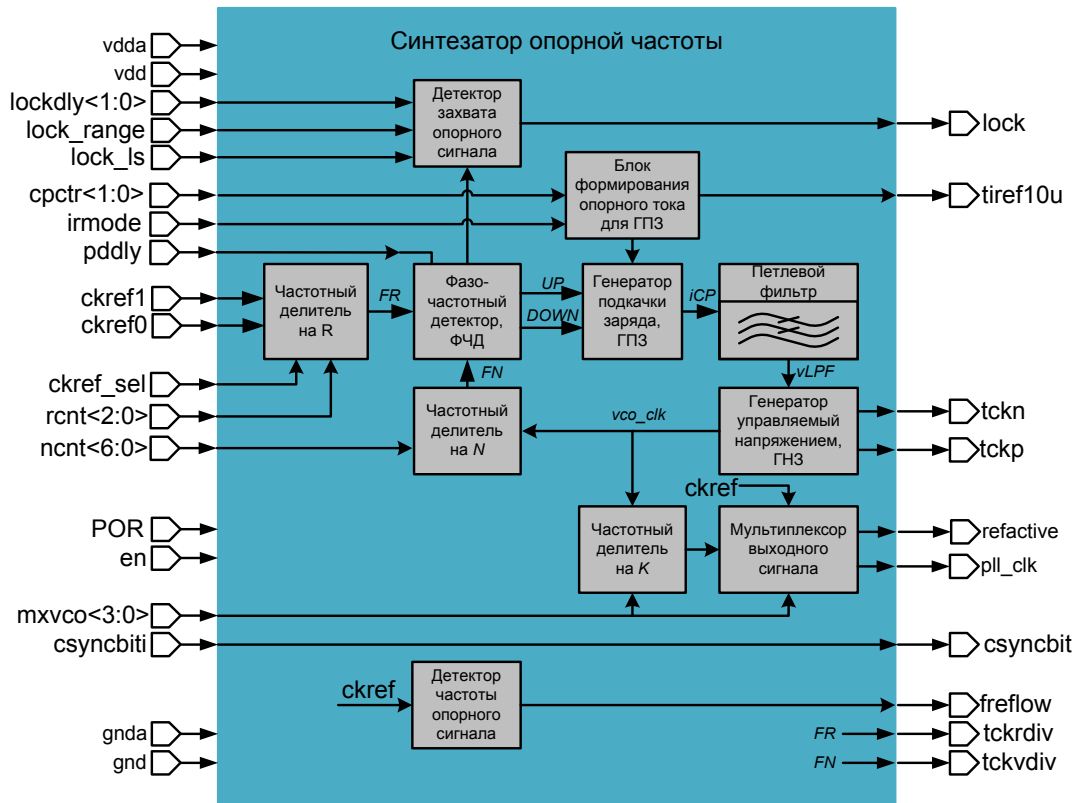


Рисунок 1: Блок-схема синтезатор частоты.

## 5 ОПИСАНИЕ ПОРТОВ

Название	Направление	Описание
ckref1	I	Вход опорного тактового сигнала синтезатора частоты
ckref0	I	Вход опорного тактового сигнала синтезатора частоты
ckref_sel	I	Сигнал выбора опорного тактового сигнала (ckref1 или ckref0)
rcnt<2:0>	I	Биты управления делителя опорной частоты. rcnt<0> - младший бит
ncnt<6:0>	I	Биты управления делителя в петле обратной связи. ncnt<0> - младший бит
mxcvo<3:0>	I	Биты управления мультиплексором выходного сигнала mxcvo <0> - младший бит
POR	I	Бит начальной инициализации блока
en	I	Бит включения блока
pddly	I	Бит изменения длительности сигнала сброса ФЧД
srctr<1:0>	I	Биты выбора величины тока в блоке ГПЗ. srctr <0> - младший бит
irmode	I	Бит настройки тока
lockdly<1:0>	I	Биты настройки детектора захвата опорной частоты. lockdly <0> - младший бит
lock_range	I	Бит настройки блока детектора захвата
lock_ls	I	Бит настройки блока детектора захвата
csyncbiti	I	Тестовый вход сигнала синхронизации
pll_clk	O	Выход сгенерированного тактового сигнала
freflow	O	Бит индикации низкой частоты опорного тактового сигнала
lock	O	Бит индикации стабильной генерации выходного сигнала
refactive	O	Бит индикации подачи на выход pll_clk опорного тактового сигнала ckref
tckn	O	Прямой тестовый выход сигнала с блока ГУН
tckp	O	Инверсный тестовый выход сигнала с блока ГУН
tckrdiv	O	Тестовый выход сигнала с блока частотный делитель опорной частоты на R
tckvdiv	O	Тестовый выход сигнала с блока частотный делитель сигнала ГУН на N
csyncbit	O	Тестовый выход синхронизации

Продолжение таблицы (Описание портов)

Название	Направление	Описание
tiref10u	О	Тестовый, токовый, выход с блока формирования опорного тока
vdda	I/O	Напряжение питания аналоговых блоков (1,8В)
gnda	I/O	Шина нулевого потенциала аналоговых блоков
vdd	I/O	Напряжение питания цифровых блоков (1,8В)
gnd	I/O	Шина нулевого потенциала цифровых блоков

\*\*I – входной порт, O – выходной порт.

## 6 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры малошумящего усилителя.

Таблица 1: Размеры блока.

Размер	Значение	Единица измерения
Высота	25	МКМ
Ширина	410	МКМ

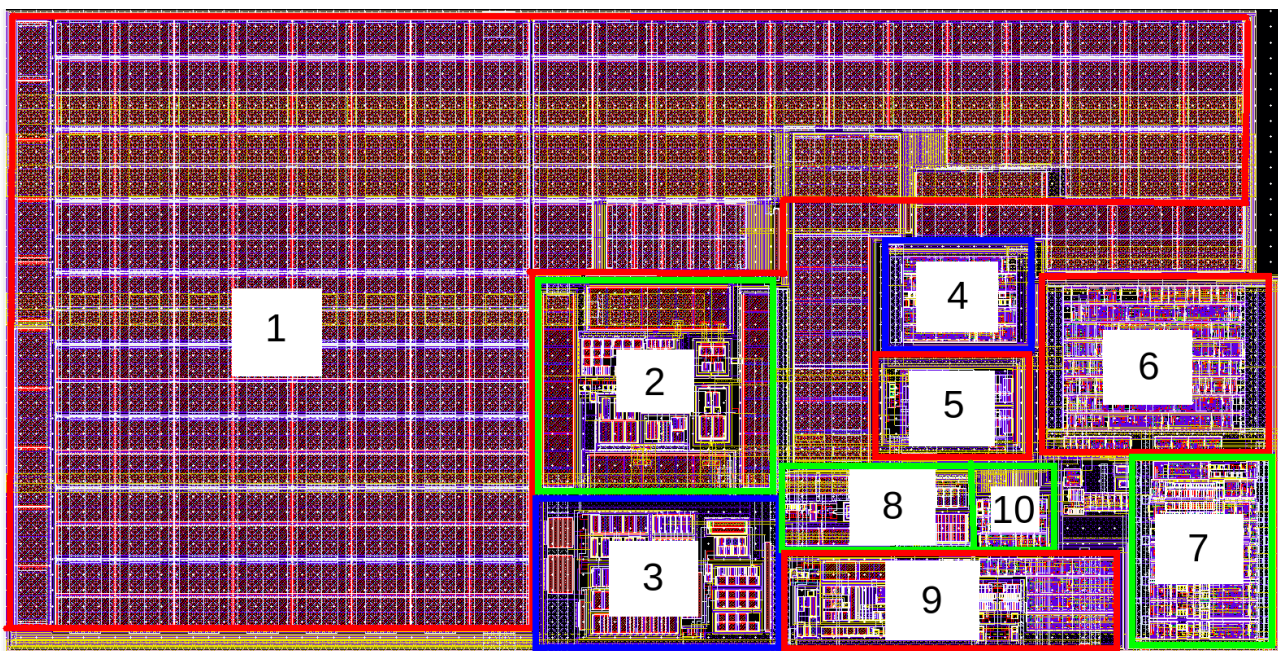


Рисунок 2: Общий вид топологии блока.

1. Фильтр в петле обратной связи
2. Схема подкачки заряда
3. Источник опорного тока
4. Делитель/мультиплексор опорного тактового сигнала
5. Генератор управляемый напряжением(ГУН)
6. Делитель/мультиплексор выходного тактового сигнала
7. Делитель сигнала ГУН в петле обратной связи
8. Детектор низкой частоты опорного тактового сигнала
9. Детектор захвата
10. Фазочастотный детектор

## 7 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

### 7.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология \_\_\_\_\_ UMC RFCMOS 0,18 мкм

Статус \_\_\_\_\_ подготовка к верификации

 Занимаемая площадь \_\_\_\_\_ 0,085 мм<sup>2</sup>

### 7.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

 Значения электрических параметров приведены для  $V_{cc} = 1,6 \div 2,0$  В и  $T = -40 \div 125$  °С, если иное не оговорено; типовые значения при  $V_{cc} = 1,8$  В и  $T = 27$  °С.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Напряжение питания, цифровое	$V_{dd}$	-	1,6	1,8	2,0	В
Напряжение питания, аналоговое	$V_{dda}$	-	1,6	1,8	2,0	В
Разность напряжений питания	$V_{dda} - V_{dd}$	-	-0,1	0	0,1	В
Ток потребления	$I_{cn}$	$F_{pll\_clk} < 300$ МГц	-	-	2	мА
		$F_{pll\_clk} > 300$ МГц	-	-	4	
Ток в режиме ожидания	$I_{st}$	-	-	-	3	мкА
Рассеиваемая мощность	$W_{dd}$	-	-	-	4	мВт
Диапазон рабочих температур	$T$	-	-40	27	125	°С
Тактовая частота	$F_{ckref}$	-	8	-	16	МГц
Синтезируемая частота	$F_{pll\_clk}$	-	20	-	300	МГц
Шаг перестройки частоты	$dF_{pll\_clk}$	-	1	-	16	МГц
Время переключения между синтезируемыми частотами	$T_{sw}$	-	-	-	1	нс
Коэффициент заполнения выходного сигнала, %	$D$	-	43	-	57	%
Джиттер периода выходного сигнала (peak-to-peak)	$J_{pll\_clk}$	$F_{pll\_clk} = 300$ МГц	-	-	400	пс
Входное напряжение высокого уровня	$V_{IH}$	Для цифровых входов	$V_{dd} - 0,1$	-	2	В
Входное напряжение низкого уровня	$V_{IL}$		-0,2	-	0,1	В

## 8 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- Схемотехническое решение (schematic) или NetList
- Топологическое решение (layout) или «черный ящик»
- Топологическая схема с экстрагированными параметрами (extracted view, опциональный)
- GDSII
- DRC, LVS, антенна отчет
- Схемы для тестирования с сохранёнными конфигурациями (опциональный)
- Документация