
Корректор АЦП

СПЕЦИФИКАЦИЯ

1 ОСОБЕННОСТИ

- SMIC EEPROM КМОП 90 нм
- Контроль смещения нуля АЦП
- Контроль амплитудного дисбаланса
- Контроль фазового дисбаланса
- Оценка средней мощности сигнала
- Возможность реализации в FPGA и ASIC
- Поддерживаемые технологии: TSMC, UMC, Global Foundries, SMIC

2 СФЕРА ПРИМЕНЕНИЯ

- Системы и устройства цифровой обработки сигналов
- Цифровые приемники

3 ФУНКЦИОНАЛЬНОЕ ОПИСАНИЕ

Данный блок обеспечивает устранение постоянного смещения уровня сигнала на выходе АЦП, амплитудного и фазового дисбалансов в канале. Блок является полностью параметризуемым, позволяет оперативно управлять скоростью сходимости каждой цепи коррекции. В состав данного блока включена схема оценки средней мощности сигнала, необходимая для последующего устранения амплитудного рассогласования между каналами приема. Также в составе рассматриваемого блока присутствует схема синхронной межпроцессорной фиксации отсчетов, которая может быть использована для устранения фазового рассогласования между каналами приема, для функции автоматической регулировки усиления и диагностики. В своем составе блок имеет четыре петли обратной связи, каждая из которых отвечает за корректировку отдельного параметра комплексного сигнала от АЦП. При размыкании всех этих петель блок работает в режиме пропускания на выход входного сигнала без изменений.

блок-схема

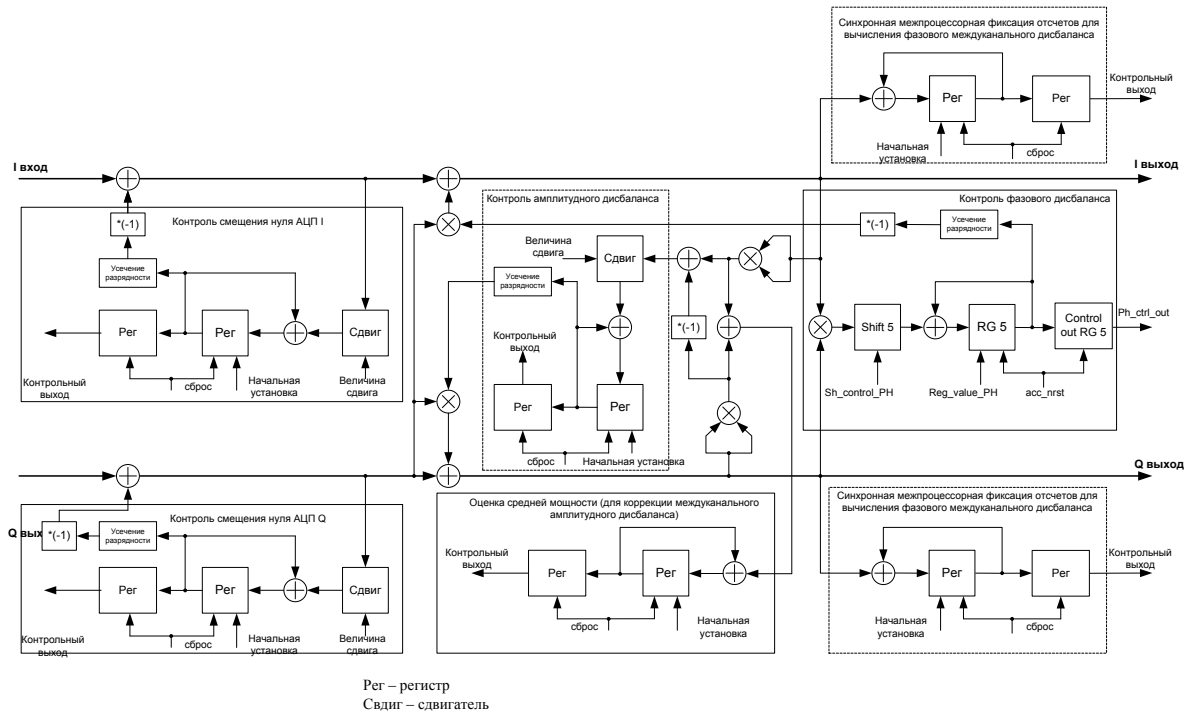


Рисунок 1: Блок-схема корректора АЦП.

4 ОПИСАНИЕ ПОРТОВ

Название порта	Тип	Кол-во бит	Краткое описание
Clock	I	1	Сигнал синхронизации
Set	I	1	Сигнал асинхронного сброса (активный низкий)
enclk	I	1	Сигнал разрешения тактирования модуля
acc_nrst	I	1	Синхроимпульс, по которому текущие значения интеграторов всех цепей блока коррекции защелкиваются в соответствующие регистры контрольных выходов;
Set_reg	I	1	Импульс загрузки начального значения в регистры аккумуляторов всех цепей коррекции блока из интерфейсной части (все регистры загружаются одновременно)
I_in	I	16	Входные данные от десериализатора (канал I);
Q_in	I	16	Входные данные от десериализатора (канал Q);
Reg_Value_sI_in	I	16	начальное значение (16 старших бит) аккумулятора схемы синхронной межпроцессорной фиксации отсчетов канала I;
Reg_Value_sQ_in	I	16	начальное значение (16 старших бит) аккумулятора схемы синхронной межпроцессорной фиксации отсчетов канала Q;
Reg_Value_zI_in	I	16	начальное значение (16 старших бит) аккумулятора схемы коррекции смещения нуля в канале I;
Reg_Value_zQ_in	I	16	начальное значение (16 старших бит) аккумулятора схемы коррекции смещения нуля в канале Q;
Reg_Value_AM_in	I	16	начальное значение (16 старших бит) аккумулятора схемы коррекции амплитудного дисбаланса;
Reg_Value_PH_in	I	16	начальное значение (16 старших бит) аккумулятора схемы коррекции фазового дисбаланса;
Reg_Value_Pow_in	I	16	начальное значение (16 старших бит) аккумулятора схемы оценки средней мощности;

Продолжение таблицы «Описание портов»

Название порта	Тип	Кол-во бит	Краткое описание
Sh_control_z	I	6	управление скоростью сходимости цепи коррекции в блоках zI и zQ, старший разряд отвечает за размыкание цепи (1 – цепь замкнута);
Sh_control_AM	I	6	управление скоростью сходимости цепи коррекции в блоке AM, старший разряд отвечает за размыкание цепи (1 – цепь замкнута);
Sh_control_PH	I	6	управление скоростью сходимости цепи коррекции в блоке PH, старший разряд отвечает за размыкание цепи (1 – цепь замкнута);
Sinhr_Q_out	O	32	значение аккумулятора схемы синхронной межпроцессорной фиксации отсчетов (Q-канал);
Sinhr_I_out	O	32	значение аккумулятора схемы синхронной межпроцессорной фиксации отсчетов (I-канал);
Pow_ctrl_out	O	32	значение аккумулятора схемы измерения средней мощности;
Ph_ctrl_out	O	32	значение аккумулятора схемы фазовой коррекции;
Am_ctrl_out	O	32	значение аккумулятора схемы амплитудной коррекции;
Zero_ctrl_outQ	O	32	значение аккумулятора схемы коррекции нуля (для Q-канала);
Zero_ctrl_outI	O	32	значение аккумулятора схемы коррекции нуля (для I-канала);
I_out	O	16	выходные данные (канал I);
Q_out	O	16	выходные данные (канал Q);

5 ТОПОЛОГИЧЕСКОЕ ОПИСАНИЕ

В таблице 1 приведены размеры блока корректора АЦП.

Таблица 1: Размеры блока.

Размер	Значение	Единица измерения
Высота	400	МКМ
Ширина	200	МКМ

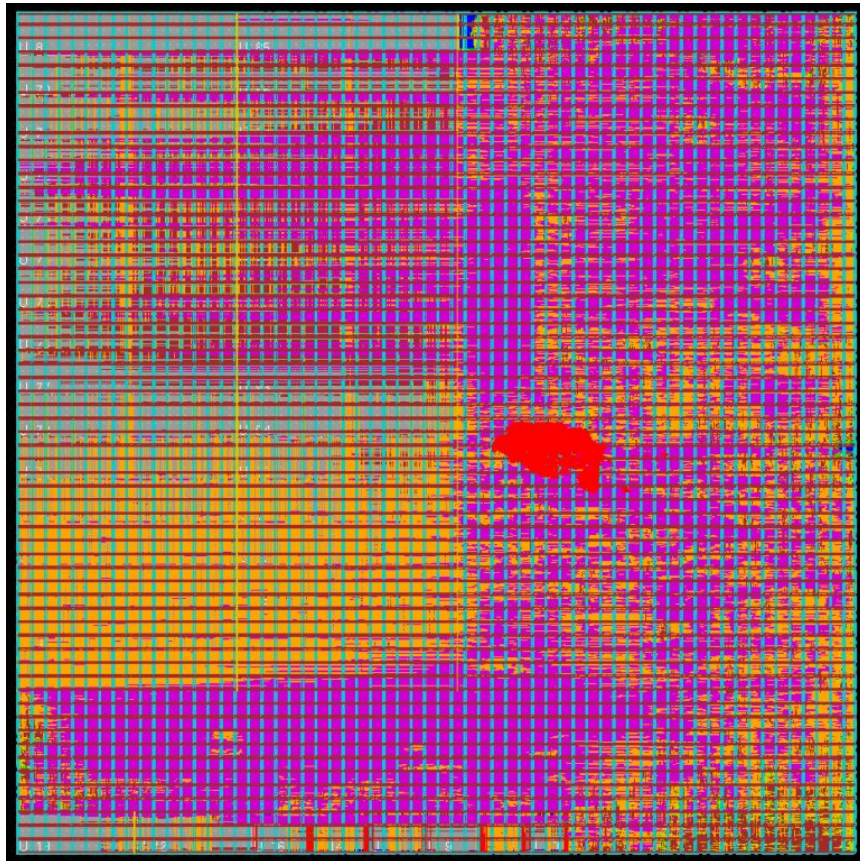


Рисунок 2: Общий вид топологии блока корректора АЦП.

6 ОСНОВНЫЕ ХАРАКТЕРИСТИКИ

6.1 ТЕХНИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Технология _____ SMIC EEPROM КМОП 90 нм
 Занимаемая площадь _____ 0,08 мм²
 Статус _____ верифицирован в кремнии
 Максимальная частота для FPGA _____ 59,2 МГц
 Количество триггеров _____ 882
 Диапазон корректировки амплитуд _____ 50%
 Диапазон корректировки фазы _____ 15градусов

6.2 ЭЛЕКТРИЧЕСКИЕ ХАРАКТЕРИСТИКИ

Значения электрических параметров приведены для $V_{dd}=0,9\div 1,1$ В и $T=-60\div +125^{\circ}\text{C}$, если иное не оговорено; типовые значения при $V_{dd}=1,0$ В и $T=+27^{\circ}\text{C}$.

Наименование параметра	Обозначение	Условия	Значение			Единица измерения
			мин	тип	макс	
Диапазон рабочих температур	T	-	-60	27	125	°C
Напряжение питания цифровых блоков	V_{dd}	-	0,9	1,0	1,1	В
Максимальная амплитуда входного сигнала	A_{IN}	-	1,020	1,024	1,030	В
Входное напряжение высокого уровня	V_{IH}	Для цифровых входов	0,7	-	-	В
Входное напряжение низкого уровня	V_{IL}		-	-	0,3	В

7 КОМПЛЕКТ ПОСТАВКИ

Комплект поставки IP блока включает:

- поведенческое описание на языке xHDL
- документация